



Università di Pisa

DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE

Corso di Laurea Magistrale in Ingegneria Elettronica

TESI DI LAUREA MAGISTRALE

Analysis and design of a high efficiency 2A step-up charge pump

Candidato:

Giacomo Gualtieri

Relatori:

Prof. Giuseppe Iannaccone

Prof. Paolo Bruschi

Anno Accademico 2015/2016

Abstract

L'obiettivo è quello di realizzare una charge pump che sostituisca un convertitore boost con induttore. La charge pump può, infatti, essere una buona alternativa ad un convertitore boost, nelle applicazioni dove l'induttore non può essere utilizzato per motivi di spazio. In particolare si è cercato di ridurre l'occupazione di area dei componenti esterni su PCB.

Questa charge pump è stata realizzata con tecnologia 0.13- μm BCD con le seguenti specifiche:

- Tensione d'ingresso: 2.5-3.4 V
- Rapporto di conversione di tensione della charge pump: 1.5
- Efficienza di conversione di potenza della charge pump (sopra il 95%).
- Corrente di uscita massima: 2 A
- Soft startup con limitazione di corrente
- Occupazione di area su PCB dei componenti esterni minore o comparabile con quella di un boost converter con induttore
- Frequenza di switching 1-2 MHz

L'alto valore della corrente con cui la charge pump lavora è dato dal fatto che può essere utilizzata in combinazione con altre sorgenti di alta corrente come boost o buck per realizzare un sistema più complesso.

La sfida principale è stata quella di limitare, data la corrente con cui lavora, le dimensioni della charge pump ottimizzando l'area.

La seconda sfida che si è presentata è stata la limitazione di corrente durante la fase di accensione della charge pump, non essendo presenti componenti, come l'induttore, che sono inerziali alla corrente e permettono con facilità il suo controllo e la sua limitazione.

Per accendere e spegnere i dispositivi CMOS della charge pump sono stati utilizzati dei driver open drain, e dei traslatori di livello che permettessero la transizione da un dominio

di tensione ad un altro. Essendo i dispositivi scelti, per limitare l'area complessiva della charge pump, degli NMOS, è stata prevista anche una strategia di bootstrap per fornire le tensioni di overdrive sufficienti a ridurre la R_{on} dei MOS in fase di accensione.

La fase di progettazione ha incluso vari step tra cui un'analisi di mercato su convertitori boost con induttore e sulle charge pump più recenti disponibili in commercio, con lo scopo di confrontare i risultati ottenuti dalle simulazioni con quelli relativi a convertitori realmente presenti sul mercato; uno studio dei limiti FSL (Fast Switching Limit) e SSL (Slow Switching Limit) in cui la charge pump può lavorare; la scelta della topologia più conveniente in base alle specifiche fornite; la determinazione della strategia di bootstrap da utilizzare, in particolare la verifica sulla correttezza della posizione scelta per le capacità di bootstrap; la scelta del limite in cui deve lavorare la charge pump e il dimensionamento dei componenti (switch, capacità flying, capacità di bootstrap e tank); la progettazione dei circuiti ausiliari alla charge pump tra cui il limitatore di corrente per la fase di startup, comparatori con isteresi, traslatori di livello e driver.

I vantaggi riscontrati nell'utilizzo della charge pump al posto di un convertitore boost con induttore sono stati la facilità nel controllo della charge pump, l'assenza dell'induttore e quindi una minore occupazione di area su PCB. I principali svantaggi sono la difficoltà nel controllo della corrente senza l'utilizzo dell'induttore e il guadagno fisso che è dato dal numero di capacità flying e dei switch utilizzati.

Il vantaggio riscontrato rispetto ad altre charge pump commerciali è l'alta efficienza anche per correnti fino a 2 A.

Contenuti

Abstract	i
Contenuti	iii
Indice delle figure.....	v
Indice delle tabelle.....	x
Capitolo 1.....	1
1.1 Introduzione	1
1.2 Applicazioni tipiche dei convertitori DC/DC	1
1.3 Principio di funzionamento della charge pump.....	3
1.4 Topologie classiche di charge pump	4
1.5 Analisi di mercato	6
Capitolo 2.....	24
2.1 Progettazione a alto livello	24
2.2 Analisi dei limiti operativi della charge pump.....	26
2.2.1 Modello FSL e SSL.....	26
2.2.2 Strategia di bootstrap.....	42
2.2.3 Perdite di commutazione	47
2.2.4 Modalità di funzionamento della charge pump	54
2.2.5 Strategia di startup.....	56
2.2.6 Modello Excel per ottimizzare l'area occupata dai MOS	60
2.3 Schema complessivo della charge pump.....	66
Capitolo 3.....	67
3.1 Progettazione transistor level.....	67
3.2 Progettazione dei switch e delle capacità	68

3.3 Scelta delle capacità commerciali.....	75
3.4 Bill of Material (BOM)	79
3.5 Progettazione dei circuiti ausiliari alla charge pump	79
3.5.1 Limitatore di corrente	79
3.5.2 Driver	93
3.5.3 Comparatore con isteresi.....	97
3.5.4 Diodo attivo	102
3.5.5 Traslatori di livello	104
Capitolo 4.....	109
4.1 Schema elettrico della charge pump	109
4.2 Simulazioni	112
4.3 Simulazioni dello startup	113
4.4 Load transient in boost mode.....	118
4.5 Line transient	123
4.6 Load transient in pulse skip mode	124
4.7 Efficienza in funzione della corrente di carico.....	126
Capitolo 5.....	130
5.1 Charge pump progettata Vs. convertitore boost commerciale con induttore.....	130
5.2 Comparazione in termini di efficienza in funzione del carico	130
5.3 Comparazione in termini di area su PCB e consumo	132
Capitolo 6.....	134
6.1 Floor plan e layout	134
Bibliografia.....	137

Indice delle figure

Figura 1.1: Principali applicazioni dei convertitori DC/DC.	2
Figura 1.2: Convertitori DC/DC nei dispositivi alimentati a batteria.	2
Figura 1.3: Modello di una charge pump.	3
Figura 1.4: Esempio di topologia Parallelo-Serie con rapporto di conversione pari a 3.....	4
Figura 1.5: Esempio di topologia Parallelo-Serie con rapporto di conversione pari a 1/3.	4
Figura 1.6: Esempio di topologia Ladder.	5
Figura 1.7: Esempio di topologia Frazionaria.....	5
Figura 1.88: Comparazione tra charge pump e convertitore boost con induttore.	6
Figura 1.119: Esempio di utilizzo della charge pump in un USB.	8
Figura 1.105: TPS61021A: Curve di efficienza.	11
Figura 1.116: TPS6123x: esempio di layout.....	12
Figura 1.128: TPS6123: curve di efficienza.	14
Figura 1.139: TPS6123: esempio di layout.....	15
Figura 1.145: MAX1771: applicazione tipica.....	19
Figura 1.156: MAX1771: Typical characteristics.....	20
Figura 1.167: LM2759: esempio di layout.....	21
Figura 1.178: LM2759: applicazione tipica.....	22
Figura 1.189: LTC3216: applicazione tipica.....	23
Figura 2.1: Schema di principio della topologia circuitale scelta.....	25
Figura 2.2: Topologia nelle due fasi.	25
Figura 2.3: Modello per il calcolo dell'energia persa sullo switch.....	26
Figura 2.4 Limite FSL nella charge pump progettata.	27
Figura 2.5: Limite FSL nella fase di precharge.....	28
Figura 2.6: Timing dei segnali di precharge e boost enable.....	29
Figura 2.7: Limite FSL nella fase di boost.....	30
Figura 2.8: Limite FSL: Semplificazione del circuito nella fase di boost.....	31
Figura 2.9: Limite FSL: Seconda semplificazione del circuito nella fase di boost.....	31
Figura 2.10: Limite SSL nella charge pump progettata.	35

Figura 2.11: Andamento della Vout nei due limiti FSL e SSL.	40
Figura 2.12: Schematici reali in fase di precharge e di boost.	42
Figura 2.13: Esempio di driver e traslatori di livello utilizzati per pilotare il gate di un NMOSFET.	43
Figura 2.14: Package scelto WLCSP.	45
Figura 2.15: Carica e scarica delle capacità di bootstrap nelle due fasi.....	46
Figura 2.16: Diodo attivo	46
Figura 2.17: Schematico reale della charge pump comprensivo di capacità di bootstrap.....	47
Figura 2.18: Modello per calcolare l'energia necessaria per accendere Mp_hi.....	48
Figura 2.19: Modello per calcolare l'energia necessaria per accendere Mp_mid.	48
Figura 2.20: Modello per calcolare l'energia necessaria per accendere Mp_lo.	49
Figura 2.21: Modello per calcolare l'energia necessaria per accendere Mb_lo1.	49
Figura 2.22: Modello per calcolare l'energia necessaria per accendere Mb_lo2.	50
Figura 2.23: Modello per calcolare l'energia necessaria per accendere Mb_hi1.	50
Figura 2.24: Modello per calcolare l'energia necessaria per accendere Mb_hi2.	51
Figura 2.25: Testbench modello per la charge pump.....	52
Figura 2. 26: Testbench per ricavare la capacità di gate in funzione della Ron dello switch.....	53
Figura 2.27: Modalità operative della charge pump.....	54
Figura 2.28: Soglie del comparatore per il pulse skip a bassi carichi.	55
Figura 2.29: Fase di Inrush.	56
Figura 2.30: Carica di Cboot1 e delle capacità flying.....	57
Figura 2.31: Scarica delle capacità flying.....	58
Figura 2.32: Sequenza di startup.	59
Figura 2.33: Schema complessivo della charge pump.....	66
Figura 3.1: Circuito reale della charge pump.	67
Figura 3.4: Testbench per dimensionare le capacità di bootstrap.....	74
Figura 3.5: Risultati della simulazione per dimensionare le capacità di bootstrap.....	74
Figura 3.6: Schema di principio del limitatore di corrente.	80
Figura 3.7: Simbolo del limitatore di corrente.	80
Figura 3.8: Rete interna al simbolo.	81
Figura 3.9: Schema elettrico dell'IDAC	82

Figura 3.10: P-current mirror per Mb_lo1 e Mb_lo2.	85
Figura 3.11: P-current mirror per Mp_lo.	85
Figura 3.12: Schema circuitale del code selector.	86
Figura 3.13: Schema circuitale del comparatore del codice.	87
Figura 3.14: Schema circuitale del comparatore bit a bit	87
Figura 3.15: Transiente tipico @ 25°C, Vin = 3V.....	88
Figura 3.16: Corrente in uscita dall'IDAC nei corner PVT.	89
Figura 3.17: Corrent uscente dal p-current mirror nei corner PVT.	89
Figura 3.18: Caratteristica ingresso-uscita dell'IDAC: confronto tra reale ed ideale.	90
Figura 3.19: Risultati analitici analisi Montecarlo @ Vin=3V, 25 °C.....	91
Figura 3.20: Deviazione standard dei campioni della corrente uscente dall'IDAC.	91
Figura 3.21: Deviazione standard dei campioni della corrente uscentedal p-current mirror.....	91
Figura 3.22: Percentuale di influenza dei MOS dell'IDAC sulla deviazione standard.....	92
Figura 3.23: Risultati analitici analisi Montecarlo @ Vin=3V, -40 °C.	92
Figura 3.24: Deviazione standard dei campioni della corrente uscente dall'IDAC nel corner critico.	92
Figura 3.25: Deviazione standard dei campioni della corrente uscente dal p-current mirror nel corner critico.	93
Figura 3.26: Percentuale di influenza dei MOS dell'IDAC sulla deviazione standard nel corner critico.	93
Figura 3.27: Schema circuitale dei driver.	94
Figura 3.28: Delay time in accensione.....	95
Figura 3.29: Delay time in spegnimento.....	95
Figura 3.30: Transiente per stimare la Rout_max nella fase di accensione.....	96
Figura 3.31: Transiente per stimare la Rout_max nella fase di spegnimento.....	96
Figura 3.32: Schema di principio del comparatore con isteresi progettato.	97
Figura 3.33: Principio di funzionamento del comparatore.	98
Figura 3.34: Schema circuitale del comparatore.....	99
Figura 3.35: Fascia di isteresi del comparatore.....	99
Figura 3.36: Delay time del comparatore.	100

Figura 3.37: Tempo di salita del comparatore (il tempo di discesa è lo stesso, il circuito è simmetrico).	100
Figura 3.38: Funzionamento del comparatore nella charge pump.....	101
Figura 3.39: Uso dell'diodo attivo nella charge pump in fase di boost.....	102
Figura 3.40: Schema a blocchi semplificato dell'diodo attivo.	103
Figura 3.41: Diodo attivo: schema elettrico del PMOS HV più il driver.....	103
Figura 3.42: Diodo attivo: schema elettrico del comparatore con isteresi utilizzato.....	104
Figura 3.43: Traslatori di livello convenzionale.	105
Figura 3.44: Traslatori di livello dinamico.	106
Figura 3.45: Schema circuitale utilizzato nella charge pump.	106
Figura 3.46: Tensione minima a cui il traslatori di livello comincia a funzionare.....	107
Figura 3.47: Ritardo in salita del traslatori di livello.	107
Figura 3.48: Ritardo in discesa del traslatori di livello.	108
Figura 4.1: Testbench della charge pump.	109
Figura 4.2: Schema elettrico della charge pump.	110
Figura 4.3: Schema elettrico dei blocchi evidenziati in Fig. 4.2.....	111
Figura 4.4: Schema circuitale dell'NMOS di potenza.....	111
Figura 4.5: Macchina a stati della fase di startup.	113
Figura 4.6: Startup: Transiente tipico @ $V_{in}=2.5V$	115
Figura 4.7: Startup: sweep della corrente di carico.....	117
Figura 4.8: Startup: sweep condizioni iniziali delle flying.	117
Figura 4.9: Startup: sweep del codice digitale in ingresso all'IDAC.....	118
Figura 4.10: Load transient in boost mode: @ $I_{load}=2A$, $V_{in} = 3V$, senza parassiti.....	119
Figura 4.11: Load transient in boost mode senza parassiti in dettaglio.....	120
Figura 4.12: Load transient in boost mode: @ $I_{load}=2A$, $V_{in} = 3V$, con parassiti.....	120
Figura 4.13: : Load transient in boost mode con parassiti in dettaglio.	121
Figura 4.14: Load transient in boost mode: risultati analitici.	122
Figura 4.15: Verifica delle SOA in boost mode con parassiti. V_{gs} vs V_{ds} dei vari mos.	123
Figura 4.16 Line transient sotto carico 2A.....	124
Figura 4.17: Load transient in pulse skip mode: @ $V_{in}=3V$ and 100 mA.	125

Figura 4.18: Load transient in pulse skip mode: in dettaglio.	126
Figura 4.19: Efficienza vs Iload.	128
Figura 4.20: Efficienza vs Iload, unione delle curve.	128
 Figura 5.1: Confronto tra la charge pump e il boost commerciale TPS61021A in termini di efficienza.	 131
Figura 5.2: Confronto curve di efficienza.	132
Figura 5. 3: Comparazione in termini di area tra la charge pump e un boost commerciale a parità di area occupata dal chip.....	132
Figura 5.4: Comparazione in scala dei componenti off chip.	133
 Figura 6.1: Floor plan.	 134
Figura 6.2: Layout i blocchi evidenziati.....	135
Figura 6.3: Layout complessivo.	136

Indice delle tabelle

Tabella 2.1: Comparazione tra le due possibilità.....	44
Tabella 3.1: Valori delle R_{on} e dell'area attiva totale fissata la $R_{out} = 80\text{ m}\Omega$	70
Tabella 3.2: Risultati della simulazione con corner in processo e temperatura con $R_{out} = 80\text{ m}\Omega$. ..	71
Tabella 3.3: Valori di R_{on} e di area attiva con $R_{out} = 60\text{ m}\Omega$	72
Tabella 3.4: Risultati della simulazione con corner in processo e temperatura con $R_{out} = 60\text{ m}\Omega$. ..	73
Tabella 3.5: BOM dei componenti off chip.....	79
Tabella 3.6: Tabella di conversione dell'IDAC.	83
Tabella 3.7: Caratteristiche driver	97
Tabella 3.8: Caratteristiche del comparatore.....	101
Tabella 3.9: Rail di alimentazione dei vari NMOS della charge pump.....	104
Tabella 3. 10: Caratteristiche dei traslatori di livello dinamico.....	108
Tabella 4.1: Efficienza vs I_{load} e V_{in} : spiegazione delle curve.	129

Capitolo 1

1.1 Introduzione

I convertitori switched capacitors (o charge pump) sono una particolare categoria di convertitori di potenza DC/DC. Sono costituiti solo da switch e capacità senza l'utilizzo di un induttore. È possibile ottenere, con questi convertitori, una varietà di tensioni d'uscita partendo da una certa tensione continua d'ingresso, semplicemente cambiando la topologia circuitale. In questo capitolo saranno analizzate le applicazioni in cui si possono trovare questi dispositivi, il principio di funzionamento e le topologie classiche, e un'analisi di mercato sui convertitori boost con e senza induttore più recenti e attualmente in commercio.

1.2 Applicazioni tipiche dei convertitori DC/DC

In Fig. 1.1¹ sono mostrate le principali categorie in cui si possono trovare questa tipologia di convertitori. Si hanno sostanzialmente tre categorie: dispositivi alimentati con la rete elettrica (Mains-powered), dispositivi portatili a batteria (Battery-powered) e dispositivi alimentati a radio-frequenza (Radio-Frequency powered). Nella prima categoria questi convertitori sono necessari per ottenere le tensioni continue richieste dai circuiti elettronici interni (tipicamente tensioni comprese tra 1.2 V e 3.3 V). Nella seconda categoria, come mostrato in Fig. 1.2², sono necessari per trasformare la tensione fornita dalla batteria, tipicamente a litio, di 3.6 V in una tensione adatta ad alimentare circuiti elettronici interni

¹T.Van Breussegeem, M. Steyaert: *CMOS Integrated Capacitive DC-DC Converters*, Analog Circuits and Signal Processing ;Springer New York Heidelberg Dordrecht London; pp. 1,2,3.

²T.Van Breussegeem, M. Steyaert: *CMOS Integrated Capacitive DC-DC Converters*, Analog Circuits and Signal Processing; Springer Science+Business Media New York 2013; pp. 1,2,3.

che richiedono 5 V di alimentazione o una tensione diversa da 3.6 V. Stesso scopo hanno infine nella terza categoria.

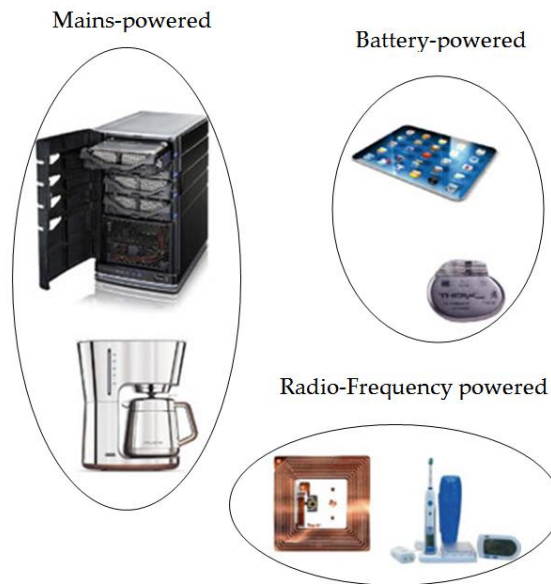


Figura 1.1: Principali applicazioni dei convertitori DC/DC.

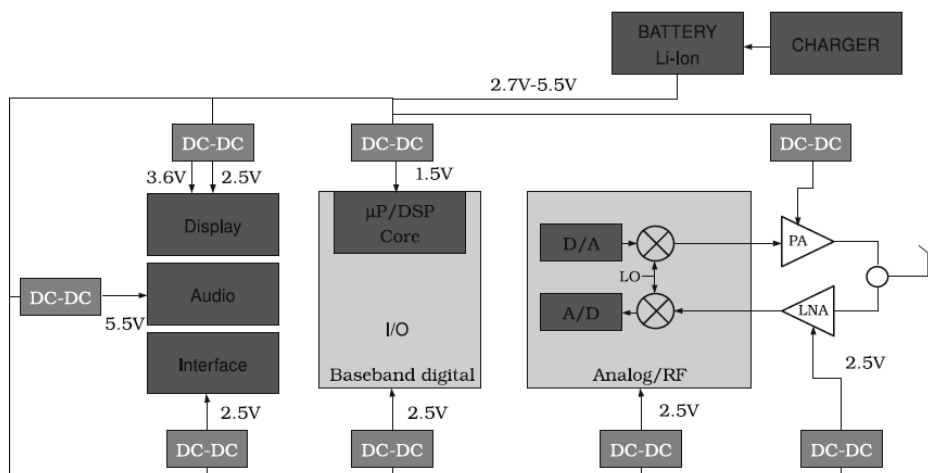


Figura 1.2: Convertitori DC/DC nei dispositivi alimentati a batteria.

1.3 Principio di funzionamento della charge pump

Come detto nell'introduzione, la charge pump è un tipo di convertitore DC/DC che non utilizza un induttore, ma solo switch e capacità. Queste capacità, dette capacità flying, vengono utilizzate per trasferire carica dall'ingresso all'uscita del convertitore. Esiste un altro tipo di capacità, detta capacità tank, utilizzata non per trasferire carica, ma per sostenere il carico quando le flying non stanno trasferendo carica verso l'uscita. La charge pump è infatti caratterizzata da due fasi, quella di precharge in cui le capacità flying vengono caricate e una seconda fase, quella di boost, in cui la carica immagazzinata viene fornita all'uscita. Nel passaggio da una fase all'altra grazie agli switch la topologia della rete cambia.

Esistono due tipi di conversioni realizzabili con questo tipo di convertitori: quella step-up e quella step-down. Nella prima la tensione di uscita è maggiore di quella d'ingresso (come nel nostro caso in cui si deve sostituire un circuito di boost) e nella seconda la tensione di uscita è minore di quella d'ingresso.

In Fig. 1.3³ è mostrato il modello utilizzato per descrivere questo tipo di convertitori, essenzialmente costituito da un trasformatore con un dato rapporto spire, pari al rapporto di conversione ($\frac{V_{OUT}}{V_{IN}}$) che si vuole ottenere, e una resistenza di uscita dalla quale, come vedremo nel capitolo 2, dipende l'efficienza della charge pump.

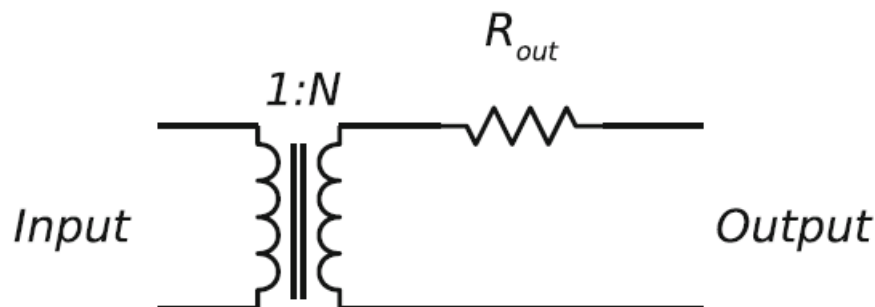


Figura 1.3: Modello di una charge pump.

³T.Van Breussegem, M. Steyaert: *CMOS Integrated Capacitive DC-DC Converters*, Analog Circuits and Signal Processing; Springer Science+Business Media New York 2013; p. 66.

1.4 Topologie classiche di charge pump

Le principali topologie di charge pump riscontrabili in letteratura sono le seguenti:

- Parallelo-Serie
- Serie-Parallelo
- Ladder
- Frazionaria

Nelle Figure 1.4, 1.5, 1.6 e 1.7⁴ sono mostrate queste topologie circuitali. In particolare la topologia scelta per la charge pump progettata è quella serie-parallelo per motivi che saranno descritti nei capitoli successivi.

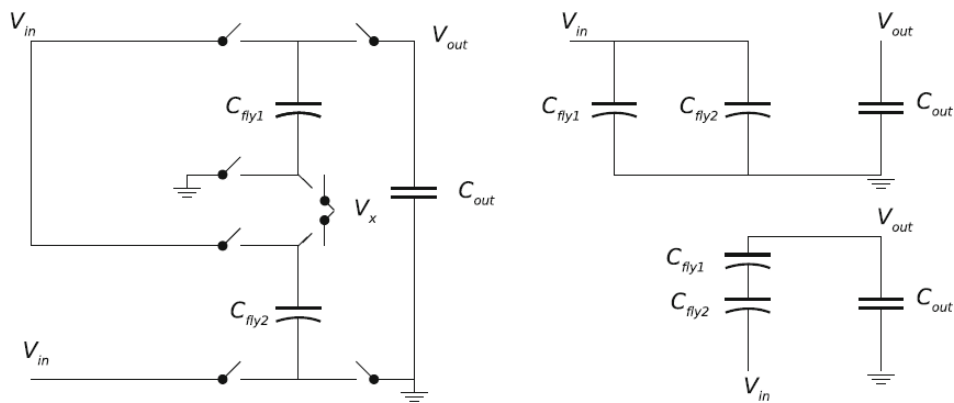


Figura 1.4: Esempio di topologia Parallelo-Serie con rapporto di conversione pari a 3.

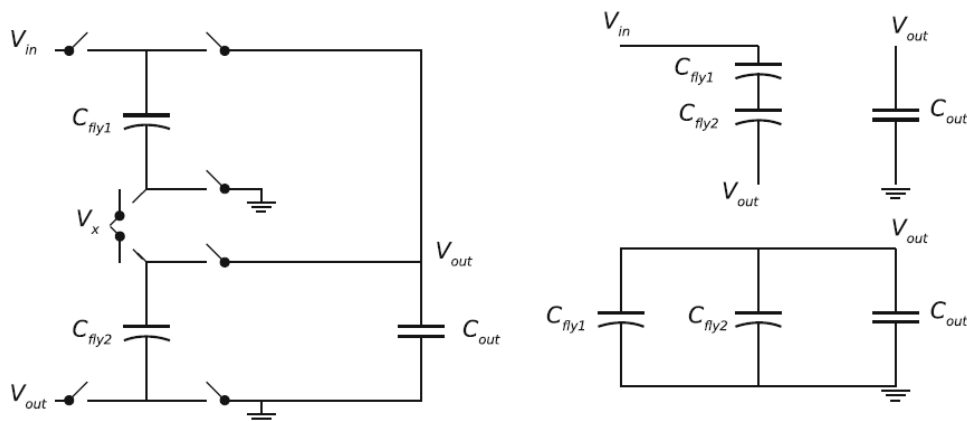


Figura 1.5: Esempio di topologia Parallelo-Serie con rapporto di conversione pari a 1/3.

⁴T.Van Breussegem, M. Steyaert: *CMOS Integrated Capacitive DC-DC Converters*, Analog Circuits and Signal Processing; Springer Science+Business Media New York 2013; pp. 55-58.

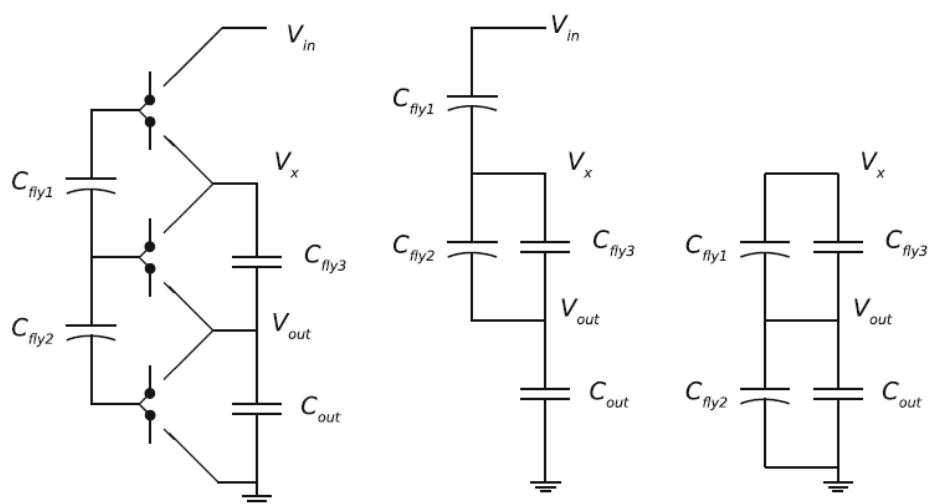


Figura 1.6: Esempio di topologia Ladder.

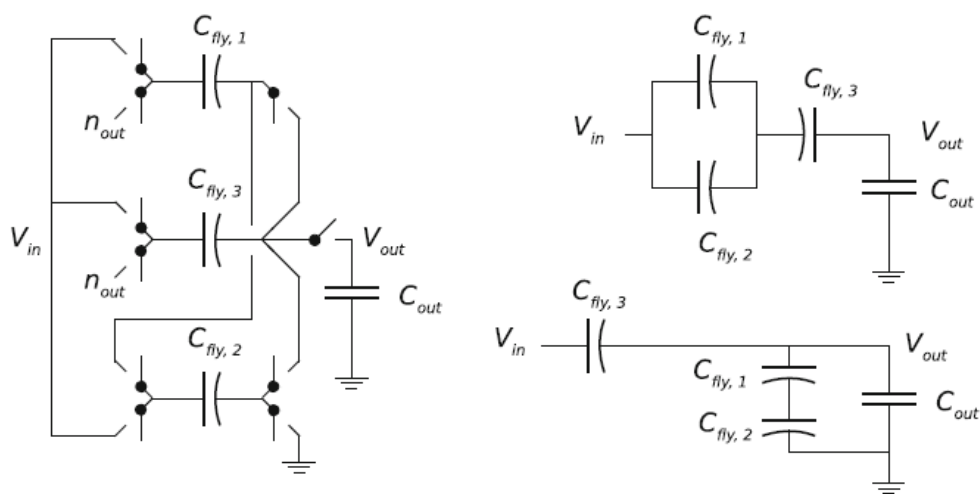


Figura 1.7: Esempio di topologia Frazionaria.

1.5 Analisi di mercato

Per poter verificare che i risultati ottenuti dalle simulazioni della charge pump siano comparabili con quelli di un convertitore boost con induttore, in modo da poterlo sostituire in maniera competitiva, è stata fatta un'analisi di mercato, di prodotti recenti attualmente in commercio.

Andando a comparare due prodotti della Texas Instruments a parità di specifiche richieste, uno realizzato con una charge pump e uno con un convertitore boost con induttore, si nota subito il vantaggio di area su PCB, come mostrato in Fig. 1.8⁵. Questo confronto verrà replicato nel capitolo 5, utilizzando la charge pump progettata.

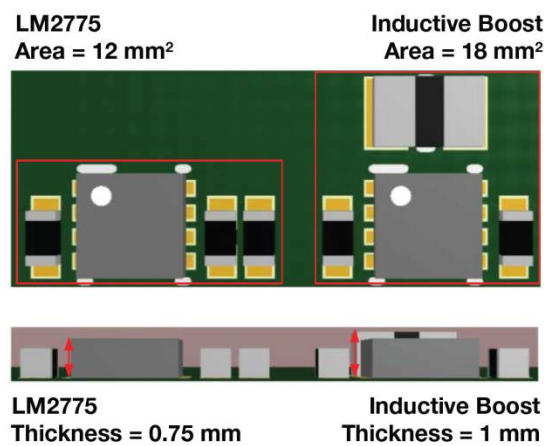


Figura 1.88: Comparazione tra charge pump e convertitore boost con induttore.

Utilizzando la charge pump ad anello aperto come mostrato in Fig. 1.9⁶ si ottiene una tensione di uscita non regolata, che dipende dalla resistenza di uscita della charge pump.

Se la R_{out} varia dipendendo dalla R_{on} dei switch, dalle capacità e dalla frequenza di switching, la tensione di uscita ha un drop variabile.

⁵G.Lubarsky: *The forgotten converter*, Texas Instruments, Silicon Valley 2015,p.3.

⁶G.Lubarsky: *The forgotten converter*, Texas Instruments, Silicon Valley 2015,p.4.

In particolare se la R_{OUT} diminuisce il drop sulla tensione di uscita scende.

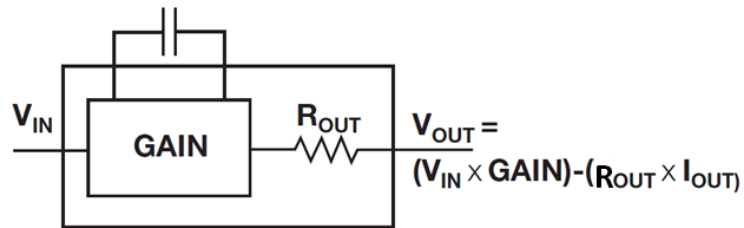


Figura 1.9: Modello di charge pump non regolata.

È possibile anche ottenere una tensione di uscita regolata utilizzando il modello di Fig. 1.10⁷, dove viene utilizzato un loop di reazione, in cui in base al valore della tensione di uscita viene manipolata la tensione sulle capacità flying durante la fase di carica, regolando la corrente con la quale si vanno a caricare le capacità.

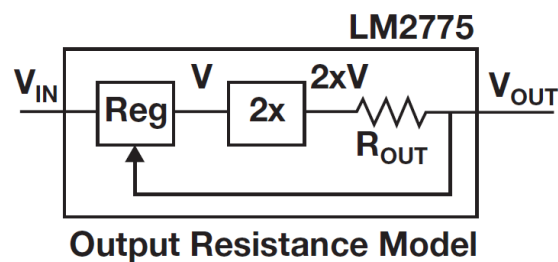


Figura 1.10: Modello di charge pump regolata.

Applicazioni boost tipiche in cui la charge pump LM2775 può essere utilizzata, sono riportate di seguito:

in Fig. 1.11⁸ è mostrato il suo utilizzo quando si necessita di una tensione 5 V regolata per l'Universal Serial Bus (USB).

⁷G.Lubarsky: *The forgotten converter*, Texas Instruments, Silicon Valley 2015,p.4.

⁸G.Lubarsky: *The forgotten converter*, Texas Instruments, Silicon Valley 2015,p.5.

In ingresso riceve la tensione di batteria e in uscita fornisce la tensione a 5 V necessaria per l'USB.

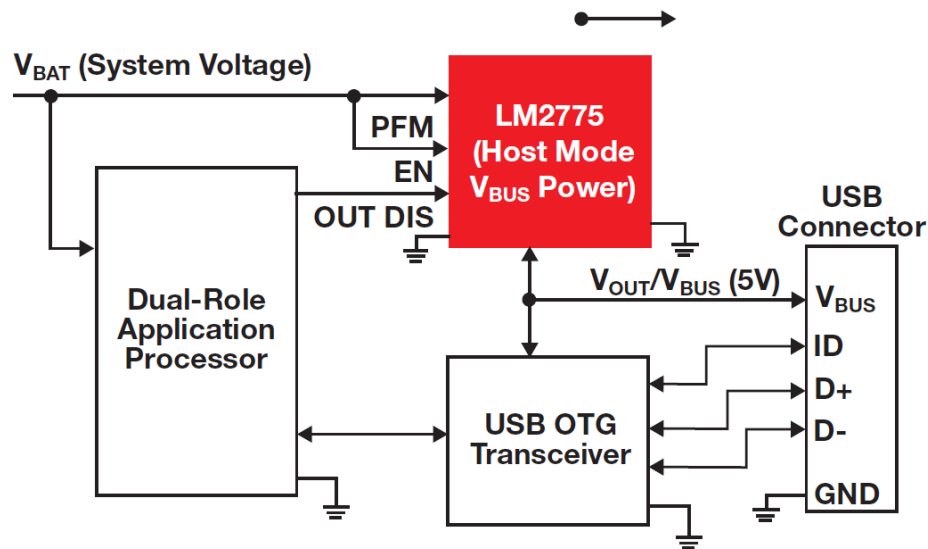


Figura 1.119: Esempio di utilizzo della charge pump in un USB.

Se l'applicazione richiede una tensione di uscita non supportata dall'architettura della charge pump, la regolazione non viene fatta come nel modello di Fig.1.10⁹ andando a fare una pre-regolazione, ma utilizzando un LDO (Low drop Out) in cascata alla charge pump, facendo una post-regolazione della tensione di uscita, come mostrato in Fig. 1.12.

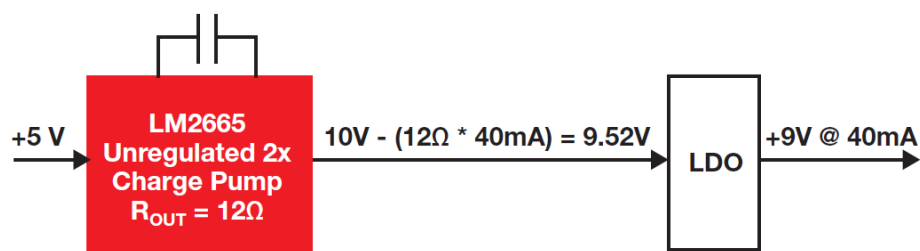


Figura 1.12: post-regolazione della charge pump con un LDO.

⁹G.Lubarsky: *The forgotten converter*, Texas Instruments, Silicon Valley 2015,p.5.

Di seguito sono riportati estratti di datasheet di convertitori boost con induttore e di charge pump commerciali di vari produttori.

Texas Instruments

Il TPS61021A¹⁰ (Giugno 2016) è un convertitore boost con induttore e fornisce una soluzione all'alimentazione di dispositivi portatili o dispositivi smart alimentati a batteria (NiMH, Li-Mn or Li-ion). Le principali caratteristiche sono riportate di seguito:

- Range della tensione di ingresso: 0.5 V- 4.4 V
- 0.9 V Tensione minima di ingresso per lo startup
- 91% di efficienza a $V_{in} = 2.4\text{ V}$, $V_{out} = 3.3\text{ V}$ e $I_{out} = 1.5\text{ A}$
- Frequenza switching 2 MHz
- $I_q = 17\text{ }\mu\text{A}$

Come componenti esterni necessita di un induttore e di alcune capacità, come mostrato in Fig. 1.13. In figura è riportato un esempio di layout, dove già si può apprezzare che la maggior parte di area su PCB è occupata dall'induttore.

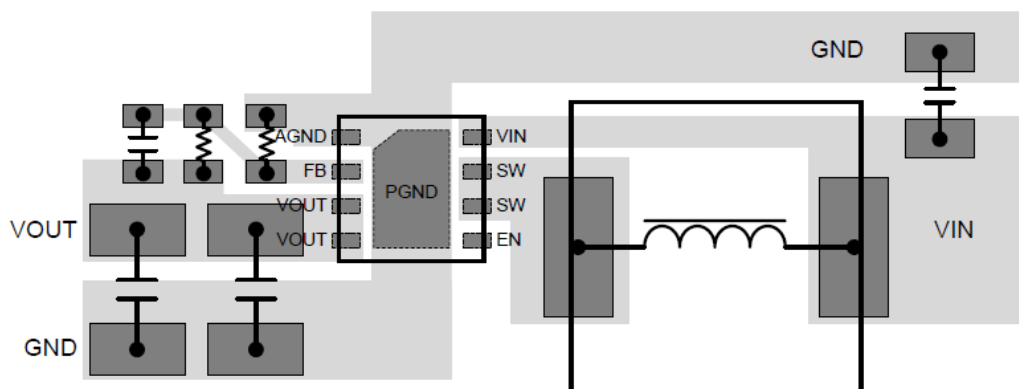


Figura 1.13: TPS61021A: esempio di layout.

¹⁰Texas Instruments Datasheet: TPS61021A 3-A Boost Converter with 0.5-V Ultra Low Input Voltage, Texas Instruments 2016, p.18.

Le applicazioni tipiche in cui viene utilizzato sono le seguenti:

- Dispositivi alimentati a batteria
- Termostati
- Dispositivi medici portatili
- Gaming control

In Fig. 1.14¹¹ è riportata un'applicazione tipica in cui questo convertitore viene utilizzato. In particolare nei dispositivi portatili alimentati a batterie alcaline, dove si necessita di ottenere una tensione DC di 3.3 V e una corrente di uscita pari a 1.5 A partendo da due batterie alcaline collegate in serie, anche se la tensione di batteria scende fino a 1.8 V.

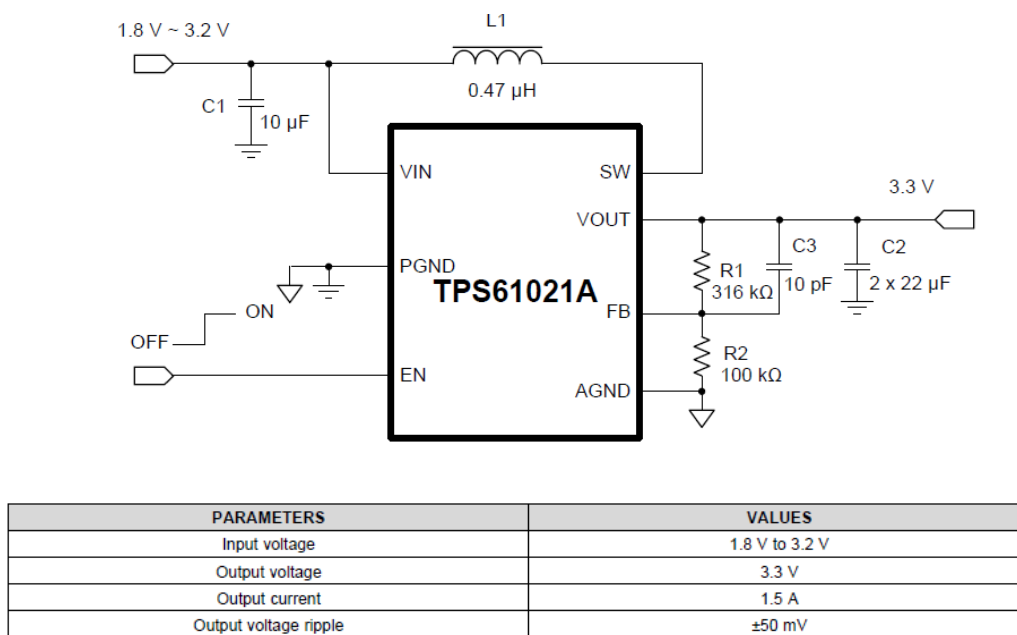


Figura 1.14: TPS61021A: applicazione tipica.

¹¹Texas Instruments Datasheet: *TPS61021A 3-A Boost Converter with 0.5-V Ultra Low Input Voltage*, Texas Instruments 2016, p.12.

La parte importante per poi poter confrontare i risultati delle simulazioni della charge pump, con le prestazioni di un convertitore boost commerciale, riguarda le curve di efficienza in funzione del carico ad una certa tensione di uscita e per una data tensione di ingresso.

In Fig. 1.15¹² sono riportate le curve di efficienza tipiche a 25°C in funzione del carico (da 0.0001 a 10 A), per varie tensioni di ingresso e di uscita.

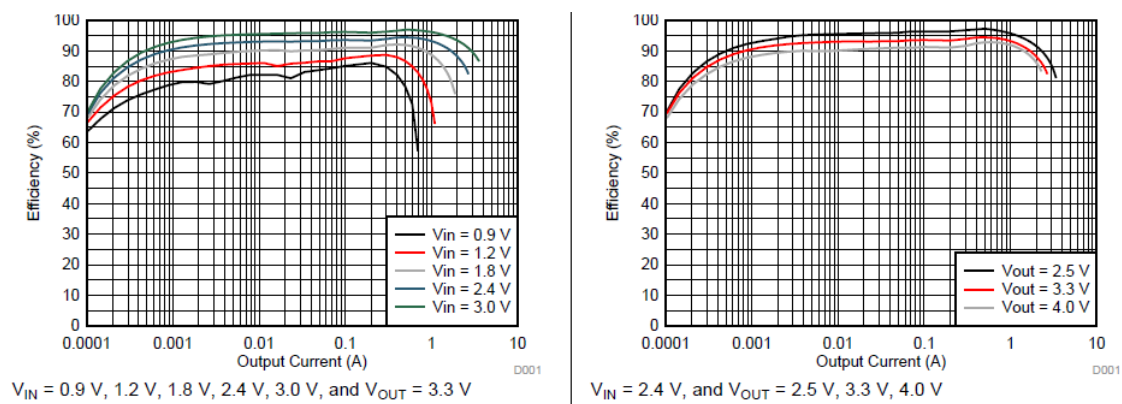


Figura 1.105: TPS61021A: Curve di efficienza.

Altri prodotti

Il TPS6123x (Settembre 2015) è un convertitore boost con induttore avente alta corrente di uscita e alta efficienza. La corrente di uscita costante è caratteristica per batterie a Li-Ion e Li-polymer utilizzate in una vasta gamma di prodotti dalle power bank fino ai tablet PC.

Le principali caratteristiche del convertitore sono riportate di seguito:

- Efficienza fino al 97%
- Corrente di uscita fino a 3.5 A per conversioni da 3.3 V a 5 V
- Switch di potenza interni da 14 mΩ

¹²Texas Instruments Datasheet: *TPS61021A 3-A Boost Converter with 0.5-V Ultra Low Input Voltage*, Texas Instruments 2016, p.6.

- $I_q = 10 \mu A$
- Frequenza di switching 1 MHz
- 2.5 mm^2

Come componenti esterni necessita di un induttore e di alcune capacità, come mostrato in Fig. 1.16¹³. In figura è riportato un esempio di layout, dove già si può apprezzare che la maggior parte di area su PCB è occupata dall'induttore.

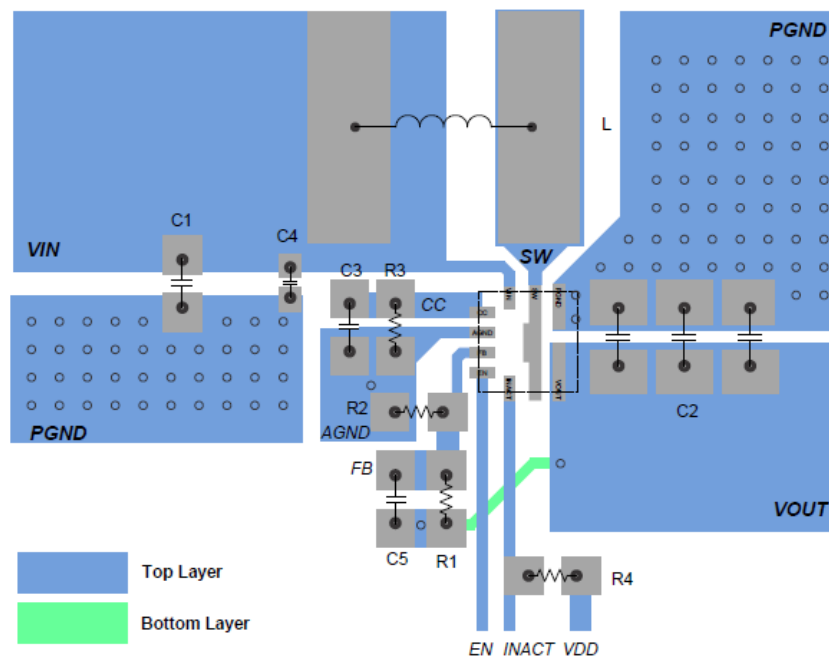


Figura 1.116: TPS6123x: esempio di layout.

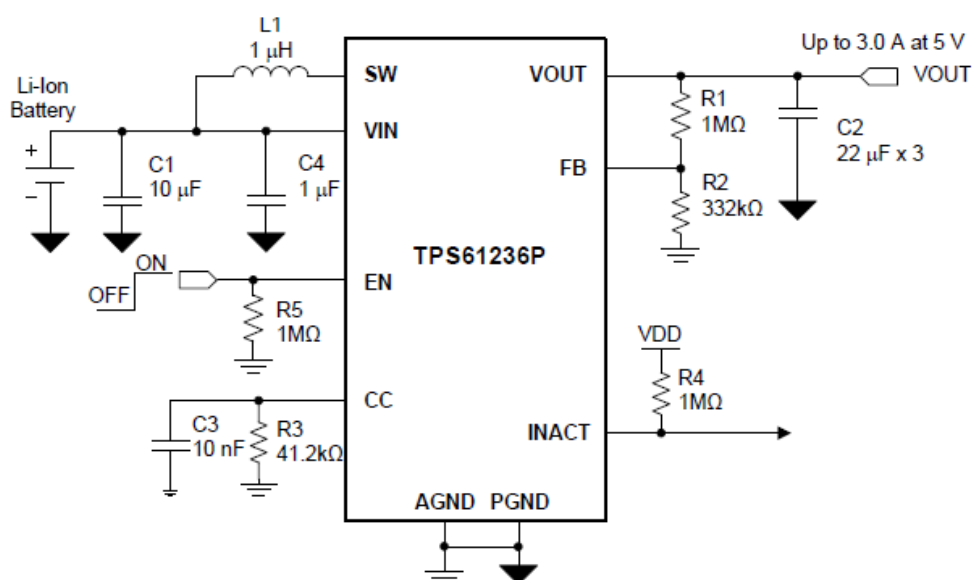
Le applicazioni tipiche in cui viene utilizzato sono le seguenti:

- Power Banks
- USB Charging Port
- Batterie alimentate tramite USB Hub

¹³Texas Instruments Datasheet: *TPS6123x 8-A Valley Current Synchronous Boost Converters with Constant Current Output Feature*, Texas Instruments 2016, p.28.

- Tablet PC's
- Prodotti alimentati a batteria

In Fig. 1.17¹⁴ è riportata un'applicazione tipica in cui questo convertitore viene utilizzato. In particolare nei dispositivi portatili alimentati a Litio, dove si necessita di ottenere una tensione DC di 5 V e una corrente di uscita pari a 3 A, partendo da una batteria a litio con range di tensione compreso tra 3 V e 4.35 V.



DESIGN PARAMETERS	EXAMPLE VALUES
Input voltage range	3 V to 4.35 V
Output voltage	5 V
Output current limit	3 A
Operating frequency	1 MHz

Figura 1.17: TPS6123x: applicazione tipica.

¹⁴Texas Instruments Datasheet: *TPS6123x 8-A Valley Current Synchronous Boost Converters with Constant Current Output Feature*, Texas Instruments 2016, p.16.

Nella Fig. 1.13¹⁵ sono riportate le curve di efficienza tipiche a 25°C in funzione del carico (da 0 a 5 A), per varie tensioni di ingresso e di uscita.

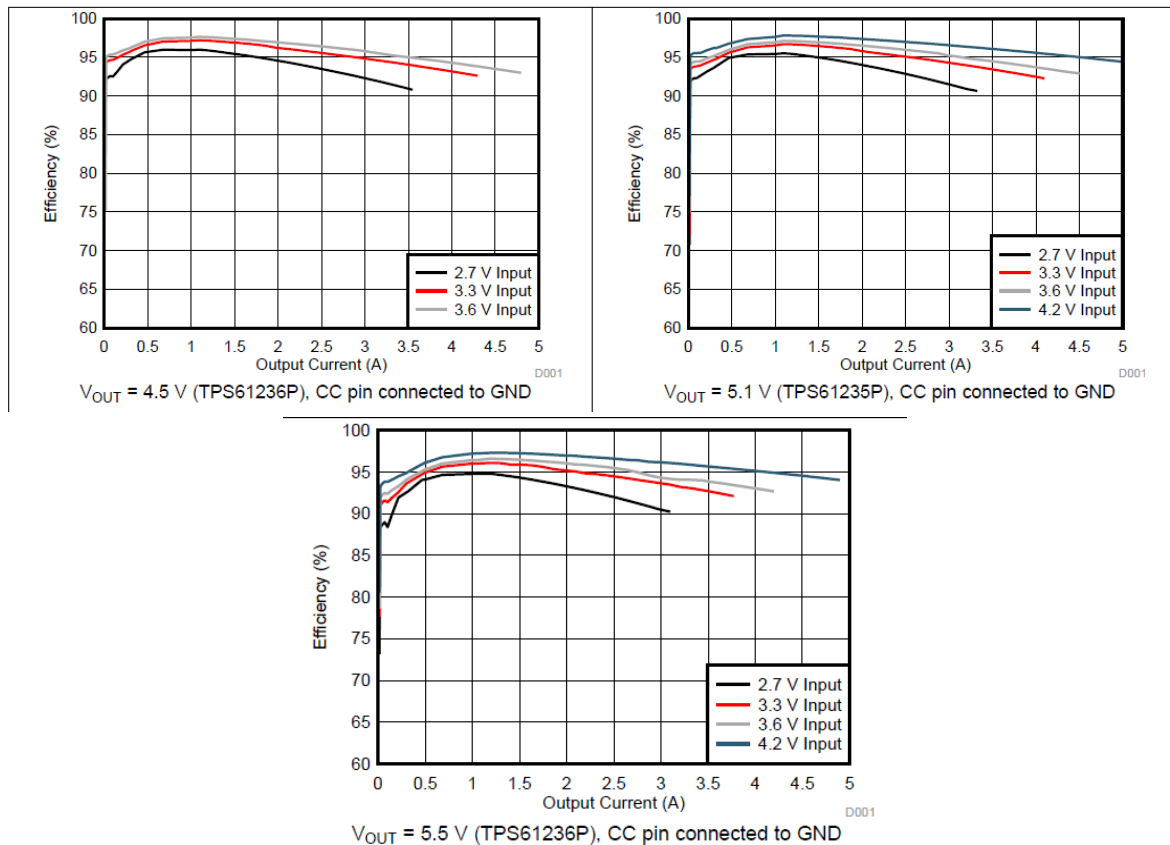


Figura 1.128: TPS6123: curve di efficienza.

Linear technology

Il LT8335 è un convertitore DC/DC con induttore esterno avente le seguenti caratteristiche:

- Range delle tensioni d'ingresso compreso tra 3 V e 25 V
- $I_q = 6 \mu\text{A}$
- Switch di potenza in grado di portare 2 A

¹⁵Texas Instruments Datasheet: *TPS6123x 8-A Valley Current Synchronous Boost Converters with Constant Current Output Feature*, Texas Instruments 2016, p.7.

- Frequenza di switching 2 MHz

Questo convertitore ha un basso consumo e un piccolo ripple sulla tensione di uscita. In pulse skip mode mantiene una alta efficienza anche per bassi carichi. Come componenti esterni necessita di un induttore e di alcune capacità, come mostrato in Fig. 1.19¹⁶.

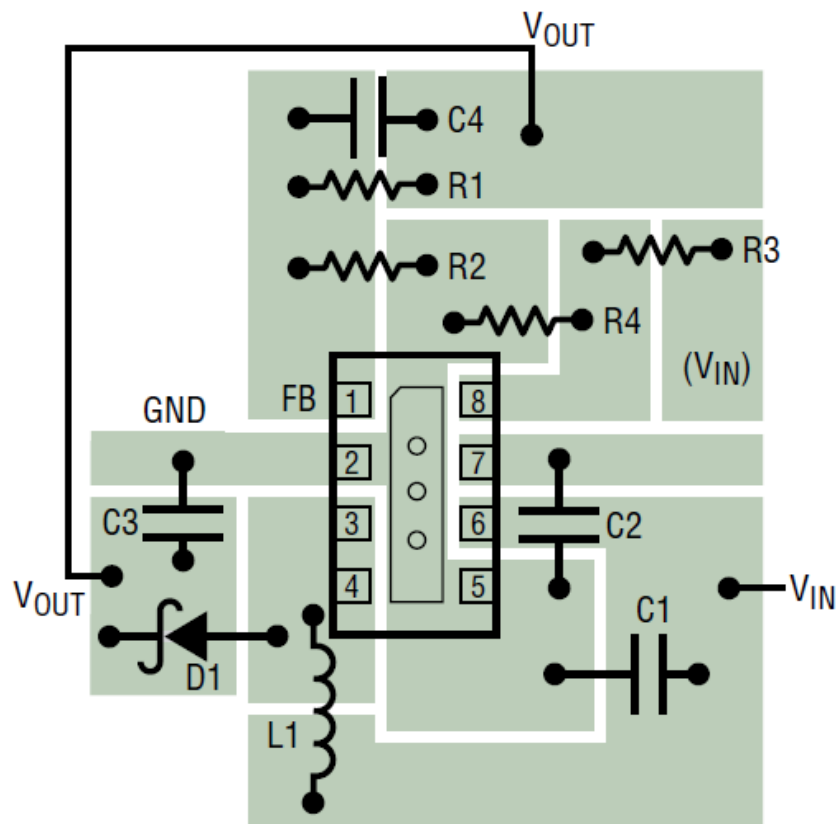


Figura 1.139: TPS6123: esempio di layout.

Le applicazioni tipiche in cui viene utilizzato sono le seguenti:

- Automotive e applicazioni industriali
- Telecomunicazioni
- Apparecchiature mediche

¹⁶Linear Technology Datasheet: *Low IQ Boost/SEPIC/Inverting Converter with 2A, 28V Switch*, Linear Technology 2016,p.12.

- Elettronica portatile

In Fig. 1.20¹⁷ è riportata un'applicazione tipica in cui questo convertitore viene utilizzato. In particolare per effettuare la conversione da un range di tensioni di ingresso comprese tra 3V e 6 V a tensioni di uscita a 12 V.

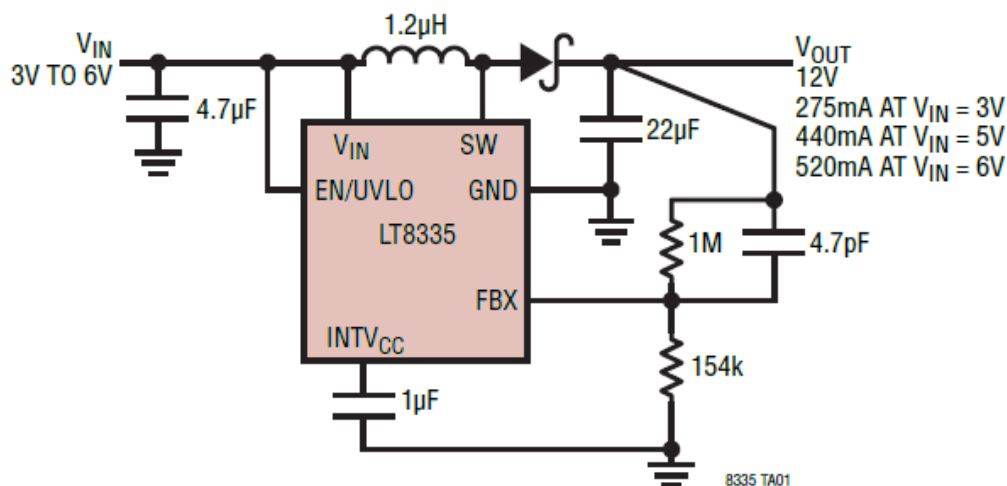


Figura 1.20: TPS6123: applicazione tipica.

Nella Fig. 1.21¹⁸ sono riportate le curve di efficienza tipiche a 25°C in funzione del carico (da 0 a 600 mA), per varie tensioni di ingresso e di uscita.

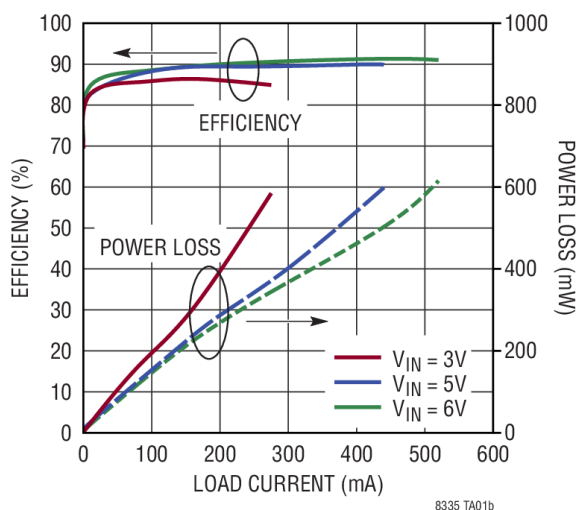


Figura 1.21: TPS6123: curve di efficienza.

¹⁷Linear Technology Datasheet: *Low IQ Boost/SEPIC/Inverting Converter with 2A, 28V Switch*, Linear Technology 2016,p.1.

¹⁸Linear Technology Datasheet: *Low IQ Boost/SEPIC/Inverting Converter with 2A, 28V Switch*, Linear Technology 2016,p.1.

Altri prodotti

L'LTC3402 è un convertitore boost DC/DC con induttore e alta efficienza che opera con tensioni d'ingresso sotto il volt. Le sue caratteristiche sono le seguenti:

- Efficienza fino al 97%
- Switch di potenza da 2 A
- Frequanza di switching 3 MHz
- Range tensioni d'ingresso 0.5 V-5 V
- $I_q = 38 \mu A$

Come componenti esterni necessita di un induttore e di alcune capacità, come mostrato in Fig. 1.22¹⁹.

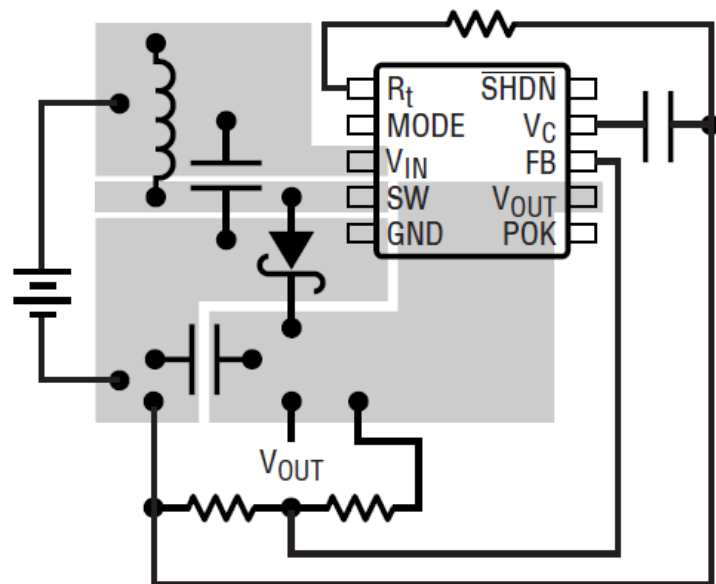


Figura 1.22:LTC3402: esempio di layout.

Le applicazioni principali sono riportate di seguito:

- Telefoni cellulari
- MP3 players
- Ricevitore GPS

¹⁹Linear Technology Datasheet:2A, 3MHz MicropowerSynchronous Boost Converter, Linear Technology 2015,p.9.

In Fig. 1.23²⁰ è riportata un'applicazione tipica in cui questo convertitore viene utilizzato. In particolare per effettuare la conversione da un range di tensioni di ingresso comprese tra 1.8 V e 3 V fornite dalla serie di celle alcaline a tensione di uscita pari a 3.3 V con corrente di 1 A.

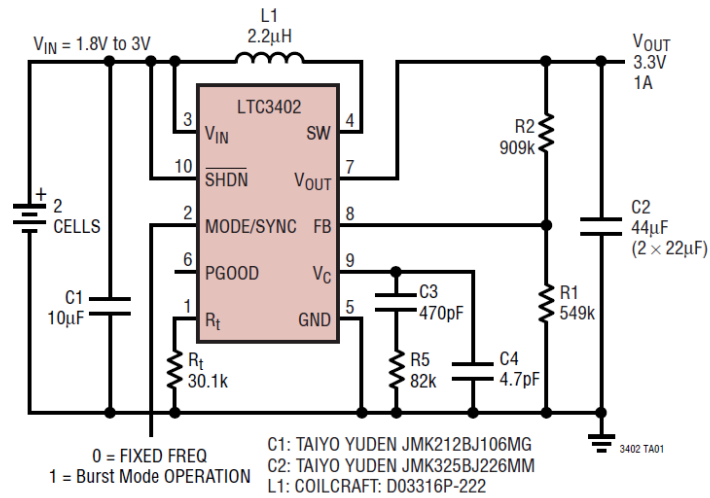


Figura 1.23: LTC3402: applicazione tipica.

Nella Fig. 1.24²¹ sono riportate le curve di efficienza tipiche a 25°C in funzione del carico (da 0.1 a 1000 mA), per varie tensioni di ingresso e di uscita.

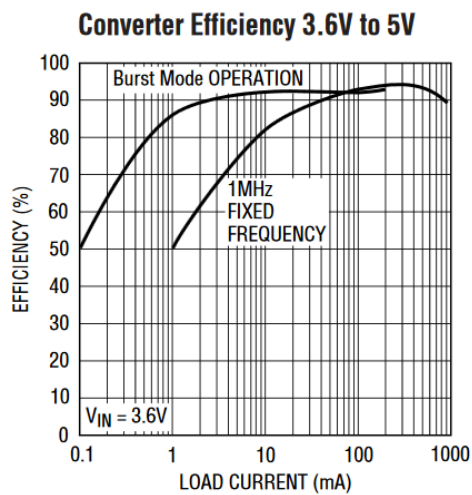


Figura 1.24: LTC3402: curve di efficienza.

²⁰Linear Technology Datasheet: 2A, 3MHz Micropower Synchronous Boost Converter, Linear Technology 2015, p.1.

²¹Linear Technology Datasheet: 2A, 3MHz Micropower Synchronous Boost Converter, Linear Technology 2015, p.1.

Maxim Integrated

Il MAX1771 è un convertitore boost con induttore che riporta le seguenti specifiche:

- Efficienze sopra il 90% per correnti di carico da 30 mA a 2 A
- Corrente di alimentazione 110 μA (max)
- Range tensioni di ingress tra 2 V e 16.5 V
- Frequenza di switching pari a 3 MHz

Le applicazioni tipiche sono:

- Positive LCD-bias Generators
- Programmatori memorie flash
- Hig-Power RF Power-Amplifier Supply
- Telefoni cellulari
- Dispositivi alimentati a batteria

In Fig. 1.25²² è riportata un'applicazione tipica in cui questo convertitore viene utilizzato.

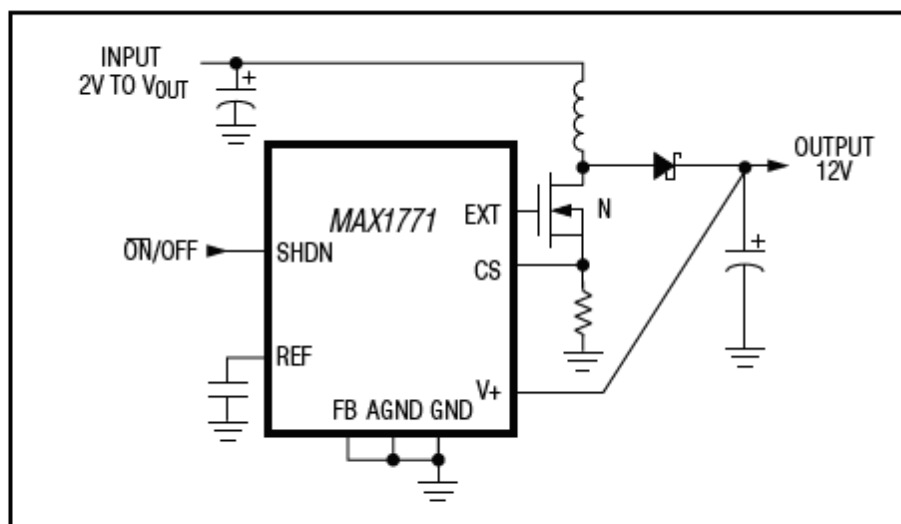


Figura 1.145: MAX1771: applicazione tipica.

²²Maxim integrated Datasheet: 12V or Adjustable, High-Efficiency, Low IQ, Step-Up DC-DC Controller, Maxim Integrated 2016, p.1.

Nella Fig. 1.26²³ sono riportate le curve di efficienza tipiche a 25°C in funzione del carico (da 0.1 a 1000 mA), per varie tensioni di ingresso e di uscita.

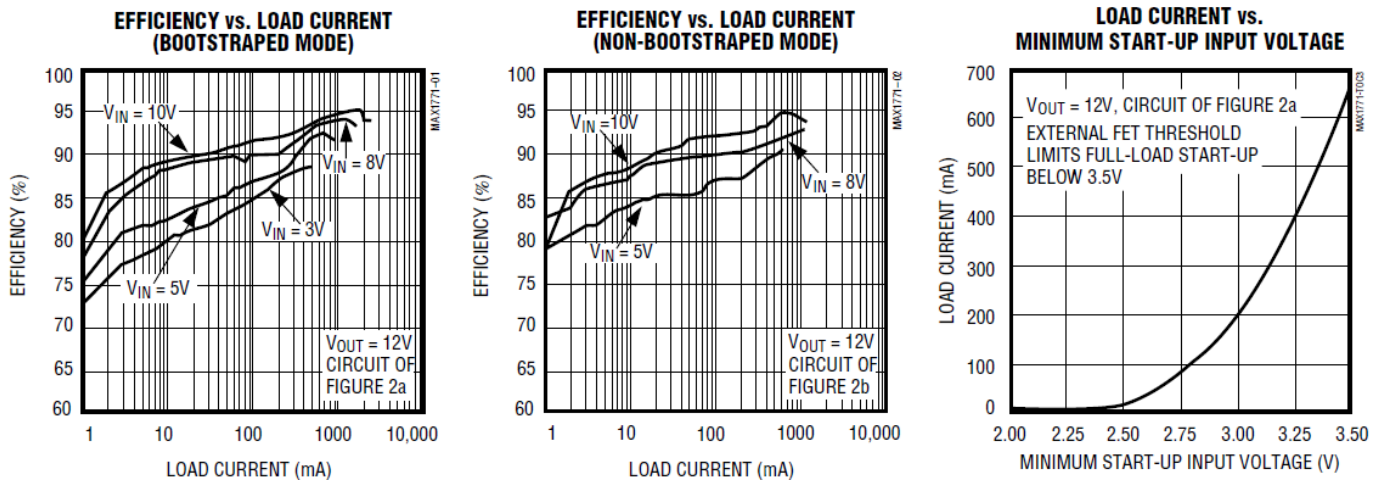


Figura 1.156: MAX1771: Typical characteristics.

Si passa ora alla descrizione di charge pump commerciali aventi alta corrente di uscita.

Texas Instruments

L'LM2759 è un convertitore integrato switched capacitors avente basso rumore e alta corrente di uscita. Richiede solo 4 piccole capacità ceramiche di cui 2 flying, una tank e una sull'ingresso che occupano un'area complessiva minore di 22 mm^2 e altezza minore di 1mm. Questo circuito integrato è in grado di fornire una corrente di uscita al carico fino a 1 A utilizzando come sorgente una singola cella a Litio.

Le principali caratteristiche riassunte sono le seguenti:

- Corrente di uscita fino a 1 A.
- L'induttore non è richiesto.

²³Maxim integrated Datasheet: 12V or Adjustable, High-Efficiency, Low IQ, Step-Up DC-DC Controller, Maxim Integrated 2016, p.3.

- Area $<22 \text{ mm}^2$
- Rapporto di conversione variabile tra 1x, 1.5x e 2x per ottenere la massima efficienza.
- Picco di efficienza pari a 90%
- Frequenza di switching pari a 1 MHz
- Circuiteria interna per limitare l'inrush current durante la fase di start-up.

Come componenti esterni necessita di 2 capacità flying a cui si aggiungono quella tank e quella d'ingresso, come mostrato in Fig. 1.27²⁴.

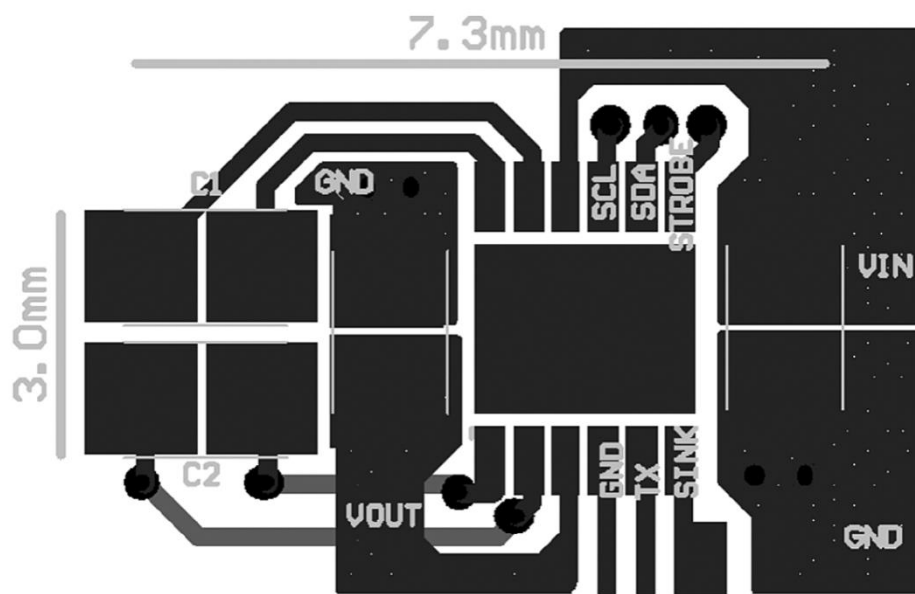


Figura 1.167: LM2759: esempio di layout.

La principale applicazione di questa charge pump è l'utilizzo per la camera flash di telefoni cellulari. In particolare in Fig.1.28²⁵ è mostrata la circuiteria esterna necessaria per questo tipo di applicazione.

²⁴Texas Instruments Datasheet: *LM2759 1A Switched Capacitor Flash LED Driver with I2C Compatible Interface*, Texas Instruments 2016,p.1.

²⁵Texas Instruments Datasheet: *LM2759 1A Switched Capacitor Flash LED Driver with I2C Compatible Interface*, Texas Instruments 2016,p.1.

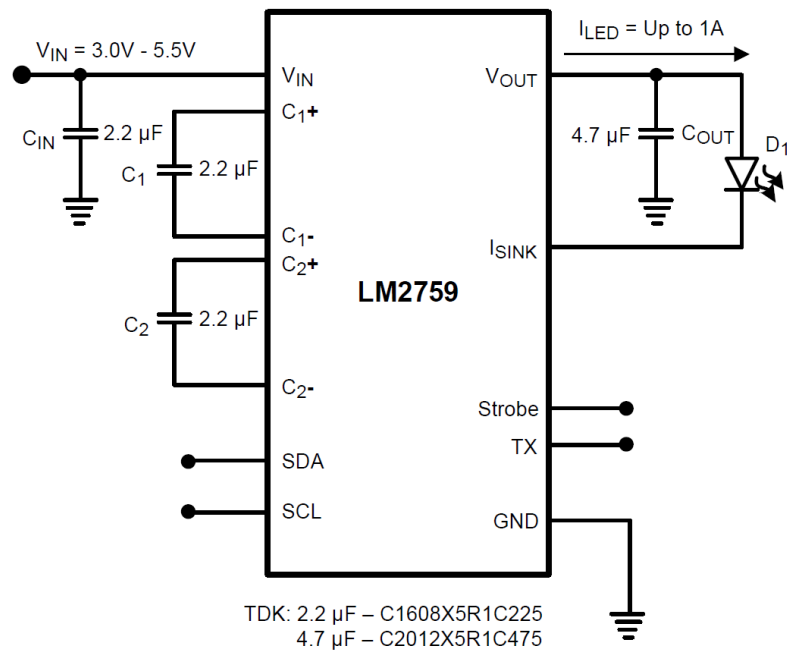


Figura 1.178: LM2759 applicazione tipica.

Come si vede in Fig. 1.28 è prevista una interfaccia I^2C (presenti i segnali SDA e SDL), con la quale attraverso un codice digitale la charge pump fornisce al led più o meno corrente, ottenendo un flash o una torcia più o meno intensa.

Linear Technology

L' LTC3216 è una charge pump ad alta corrente di uscita. Le principali caratteristiche sono riportate di seguito:

- Alta efficienza con rapporti di conversione pari a 1x, 1.5x e 2x
- Corrente di uscita fino a 1 A
- Corrente di quiescent pari a 2.5 μ A
- Soft startup per limitare i picchi di corrente
- 3 mm x 4 mm
- Non richiede l'utilizzo dell'induttore

Anche questo convertitore è utilizzato principalmente per la torcia e per il flash di un telefono cellulare. Richiede anch'esso l'uso di 4 capacità due flying , una tank e una posta sull'ingresso, come si vede in Fig. 1.29²⁶.

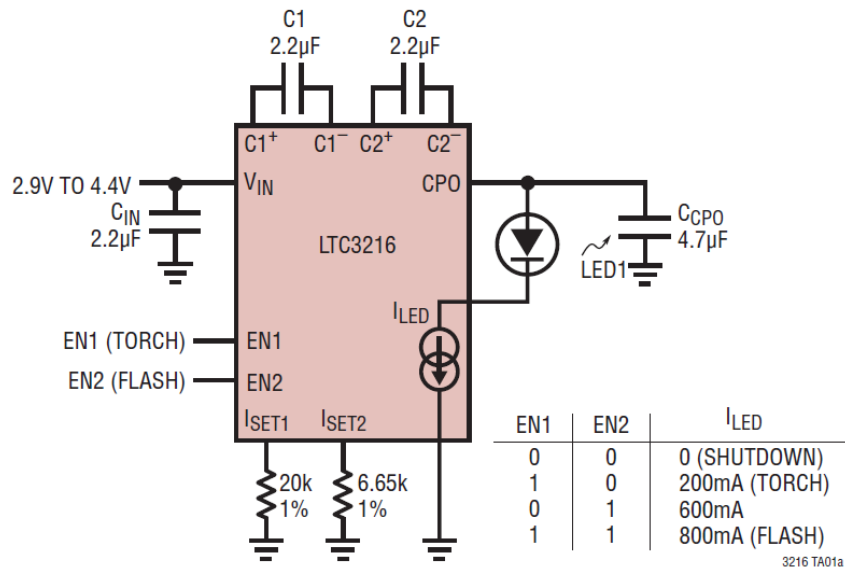


Figura 1.189: LTC3216: applicazione tipica.

²⁶Linear Technology Datasheet: *1A Low Noise High Current LED Charge Pump with Independent Torch/Flash Current Control*, Linear Technology 2016, p.1.

Capitolo 2

2.1 Progettazione a alto livello

Considerando le specifiche richieste riportate di seguito:

- Tensione d'ingresso: 2.5-3.4 V
- Rapporto di conversione di tensione della charge pump: 1.5
- Efficienza di conversione di potenza della charge pump (sopra il 95%).
- Corrente di uscita massima: 2 A
- Soft startup con limitazione di corrente
- Occupazione di area su PCB dei componenti esterni minore o comparabile con quella di un boost converter con induttore
- Frequenza di switching 1-2 MHz

Tra le varie topologie circuitali che consentono di ottenere il rapporto di conversione 1.5, è stata scelta la topologia serie-parallelo. La motivazione è stata essenzialmente il minor numero di capacità flying, con le quali ottenere il suddetto rapporto di conversione. Il nostro obiettivo è infatti quello di sostituire l'induttore su PCB con un numero di componenti esterni che occupino un'area minore rispetto all'induttore. Lo svantaggio principale di questa topologia, che consiste nella elevata velocità con cui i nodi cambiano tensione, non è un problema nel nostro caso, essendo le capacità non integrate.

Lo schema di principio è riportato in Fig. 2.1. La struttura è costituita da sette switch ideali, due capacità flying e una capacità tank. Esistono due fasi di funzionamento del circuito, in cui esso cambia topologia: *precharge* e *boost*. La topologia circuitale nelle due fasi è illustrata in Fig. 2.2.

Nella fase di precharge la serie delle capacità flying è caricata a V_{in} , mentre la capacità tank è utilizzata per fornire al carico la corrente richiesta. Nella fase di boost il parallelo delle capacità flying fornisce carica all'uscita ricaricando la capacità tank e sostenendo il carico. Inoltre in questa fase la tensione ai capi delle capacità flying arriva a $V_{in}/2$ e quindi in serie a V_{in} porta la tensione di uscita a $1.5 \cdot V_{in}$, ottenendo il rapporto di conversione desiderato.

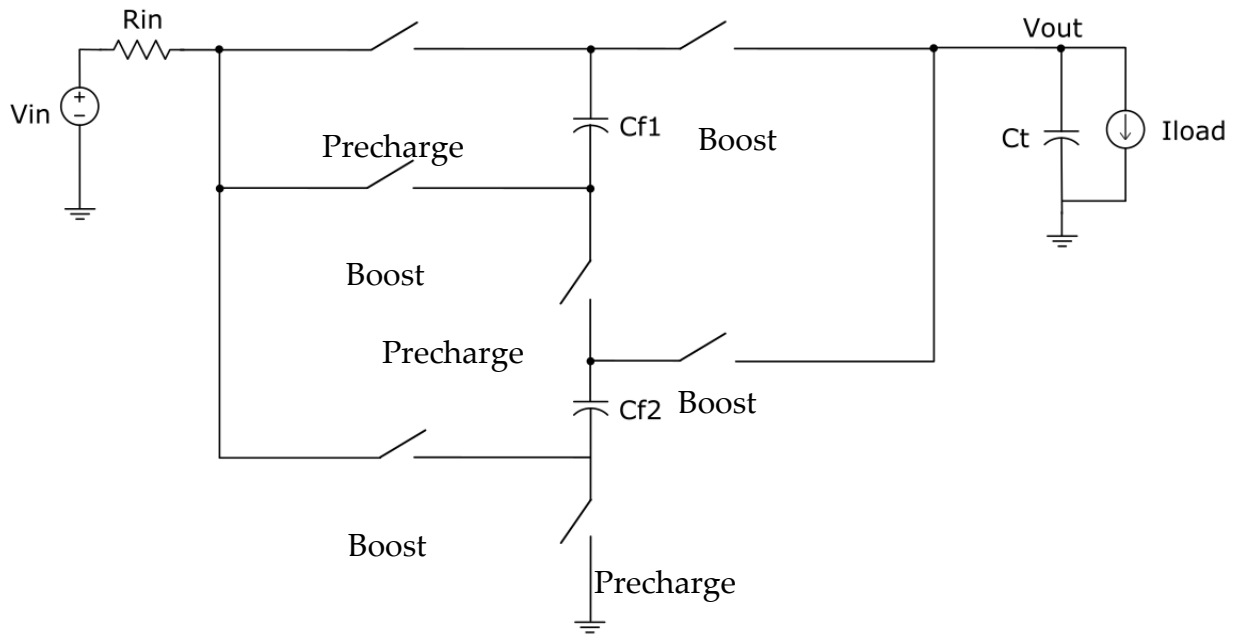


Figura 2.1: Schema di principio della topologia circuitale scelta.

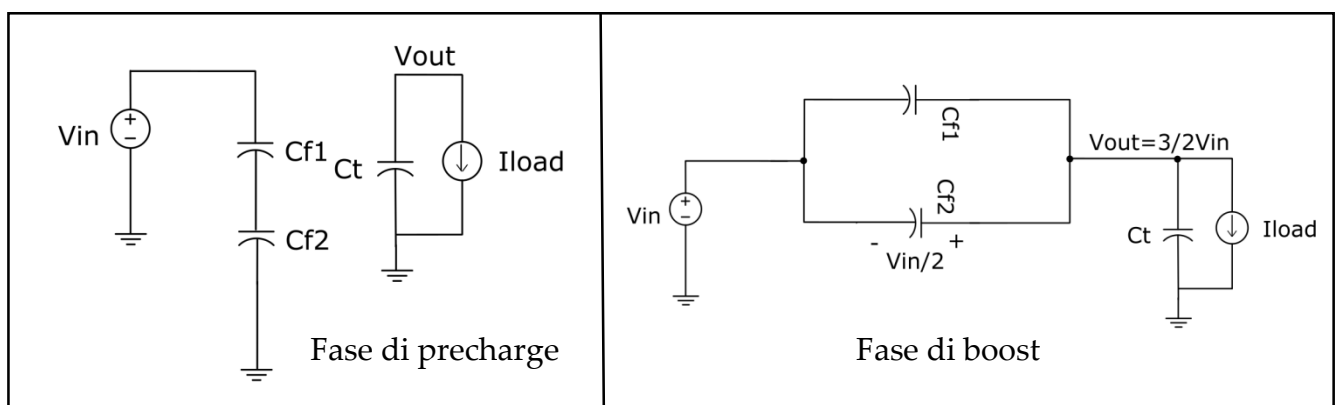


Figura 2.2: Topologia nelle due fasi.

2.2 Analisi dei limiti operativi della charge pump

2.2.1 Modello FSL e SSL

In questa parte sono stati analizzati i due limiti operativi in cui la charge pump può lavorare. Il limite FSL (Fast Switching Limit) e il limite SSL (Slow Switching Limit).

Il limite FSL è valido quando si ha una frequenza di switching elevata. In particolare le capacità flying rimangono cariche nel passaggio dalla fase di precharge a quella di boost. È quindi possibile trascurare la potenza dissipata durante la carica e la scarica delle capacità e considerare come potenza prevalente quella dissipata sulle R_{on} dei switch.

Il limite SSL è valido a basse frequenze switching. In particolare avere una bassa frequenza di switching significa avere delle capacità flying che si caricano e si scaricano completamente, nel passaggio da una fase all'altra. In questo limite è quindi possibile trascurare la potenza dissipata sulla R_{on} dei switch.

In particolare, calcolando l'energia dissipata su uno switch usando il modello di Fig. 2.3, si nota come essa non dipenda dalla R_{on} dello switch. È quindi inutile considerare la potenza dissipata sulla resistenza del switch in questo limite (Eqn. 2.1).

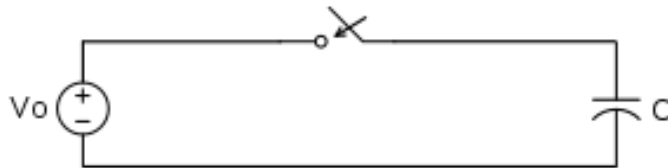


Figura 2.3: Modello per il calcolo dell'energia persa sullo switch.

$$E_R = \int_0^\infty R \cdot i(t)^2 dt = \frac{V_o^2}{R} \cdot \int_0^\infty e^{-\frac{2 \cdot t}{R \cdot C}} dt = \frac{C \cdot V_o^2}{2} \quad (2.1)$$

La potenza dissipata dalla charge pump nei due limiti dipende proporzionalmente dalla resistenza di uscita della stessa (R_{out}). Esistono due metodi per determinare tale potenza, quello che utilizza i moltiplicatori di carica e quello costituito da un'analisi nel dominio del tempo. Nel nostro caso si è preferito utilizzare il secondo, per ottenere oltre al valore della R_{out} anche il comportamento del circuito nel dominio del tempo. In particolare il ripple sia sulle capacità flying che sull'uscita.

Analisi del modello FSL

In questa analisi abbiamo utilizzato dei switch ideali con una certa resistenza R_{on} quando sono chiusi. Nella fase di progettazione transistor level saranno invece sostituiti con dei MOS reali. Abbiamo indicato con il pedice 'p' i switch che si chiudono nella fase di precharge e con il pedice 'b' quelli che si chiudono nella fase di boost.

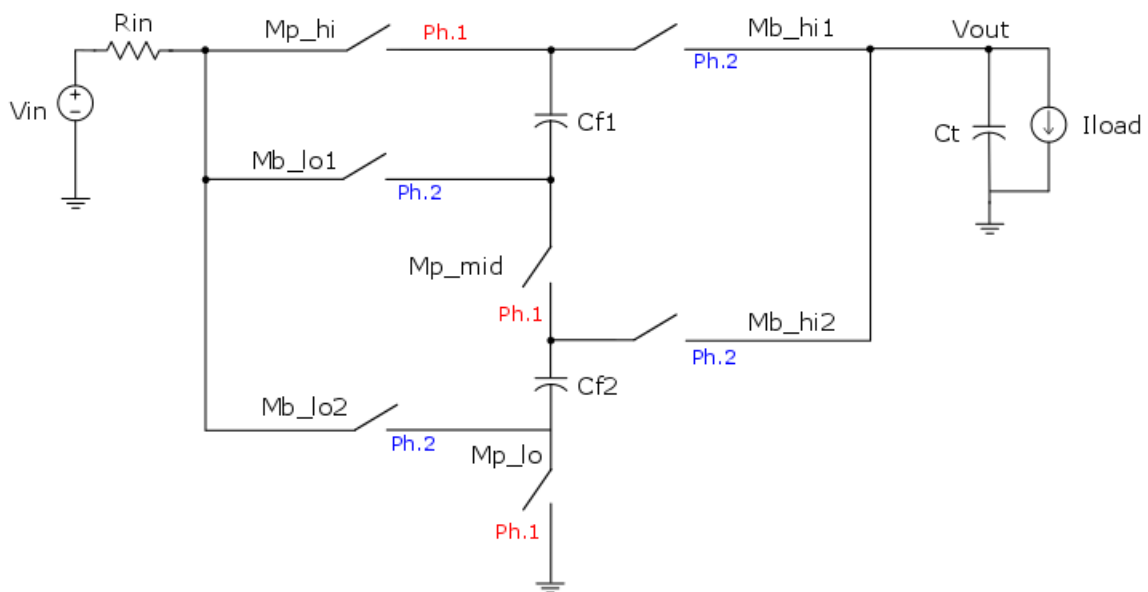


Figura 2.4 Limite FSL nella charge pump progettata.

Per semplicità nei calcoli definiamo:

- Ph.1 → Fase di precharge
- Ph.2 → Fase di boost

In questo modo tutti gli apici e i pedici “1” e “2”, indicano rispettivamente la grandezza nella fase di precharge e di boost.

In Fig. 2.5 è mostrato il processo di carica delle capacità flying, in fase di precharge, attraverso una corrente I_{in} . La capacità tank è usata per fornire la corrente al carico. In questa fase sono state evidenziate anche le resistenze R_{p_hi} , R_{p_mid} e R_{p_lo} dei switch quando sono chiusi, indicando con il pedice ‘p’ la fase di precharge.

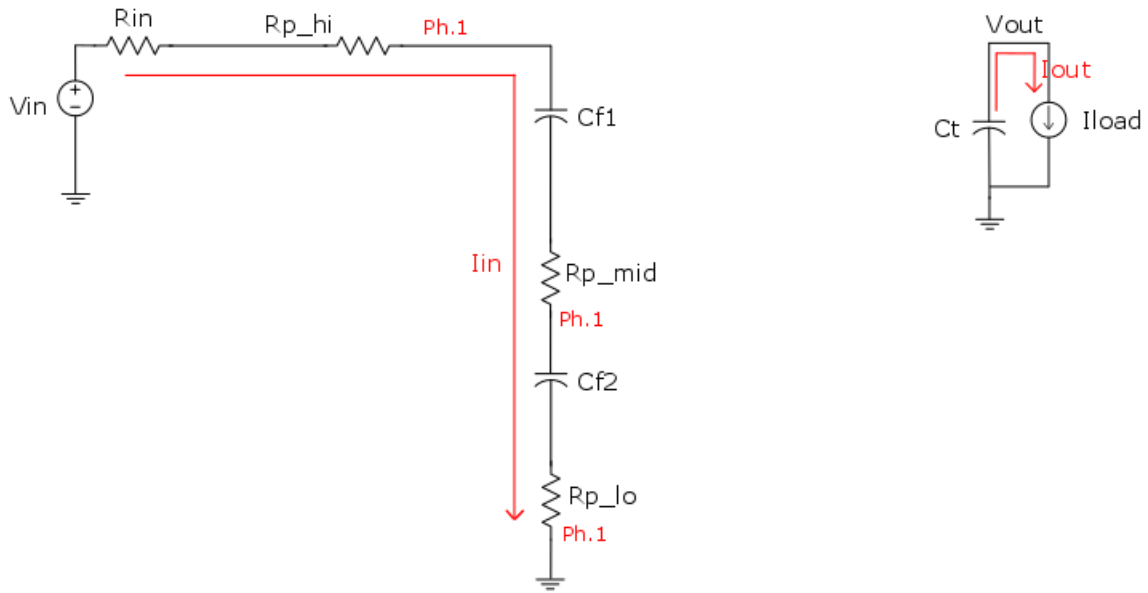


Figura 2.5: Limite FSL nella fase di precharge.

Utilizzando l'ipotesi del modello FSL:

$$T_1 \ll \tau_1$$

con $\tau_1 = (R_{in} + R_{p_hi} + R_{p_mid} + R_{p_lo}) \cdot \frac{C_f}{2} = R_p \cdot \frac{C_f}{2}$ costante di tempo del circuito nella fase di precharge e T_1 periodo di switching della charge pump.

Si ottiene il seguente sistema di equazioni (dove l'apice (1) sta ad indicare la fase di precharge):

$$\left\{ \begin{array}{ll} I_{in}^{(1)} = \frac{V_{in} - V_{cf_max} - V_{cf_min}}{R_p} & (2.2) \\ V_{cf_max} = V_{cf_min} + \frac{I_{in}^{(1)}}{C_f} \cdot T_1 & (2.3) \\ I_{out}^{(1)} = I_L & (2.4) \\ V_{out_min} = V_{out_max} - \frac{I_L}{C_t} \cdot (T_{ck} - T_2) & (2.5) \end{array} \right.$$

Indicando con $T_2 = T_1 - 2T_{dead}$.

Le tempistiche sono indicate in Fig. 2.6. I segnali di precharge enable e boost enable sono generati a partire da un clock digitale che passa da un circuito di disoverlap. Questi segnali arriveranno agli switch nelle fasi in cui devono chiudersi, passando da una topologia all'altra.

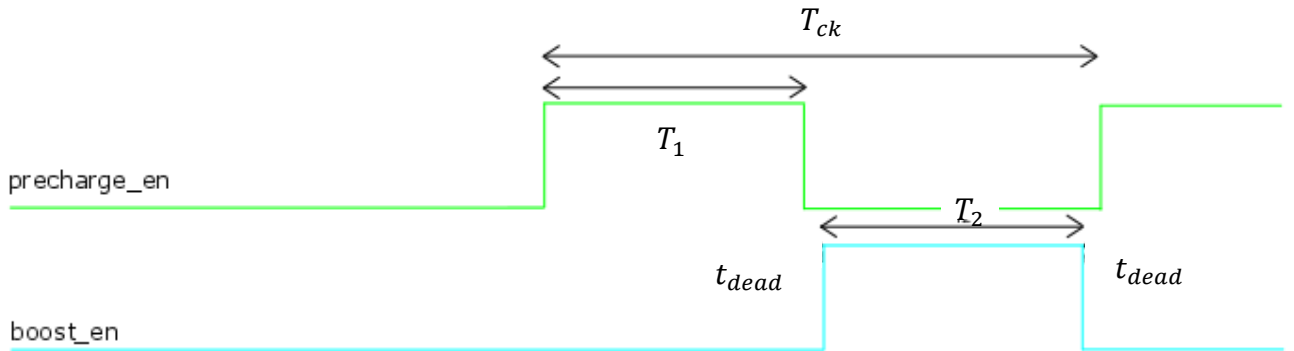


Figura 2.6: Timing dei segnali di precharge e boost enable.

In Fig. 2.7 è invece mostrata la topologia circuitale della charge pump in fase di boost. Si vede come le due capacità flying si scaricano verso l'uscita, andando a caricare la capacità tank, che si era scaricata nella fase di precharge e fornendo la corrente richiesta al carico. In questa fase le due capacità flying assumono la stessa tensione pari a $V_{in}/2$, andando in parallelo, ottenendo in uscita una tensione di $3/2 \cdot V_{in}$. In entrambi i rami passa la stessa

corrente pari ad $I_{in}/2$. Anche in questo caso si è indicato le resistenze R_{on} dei switch chiusi nella fase di boost, R_{blo_1} , R_{blo_2} , R_{b_hi1} e R_{b_hi2} .

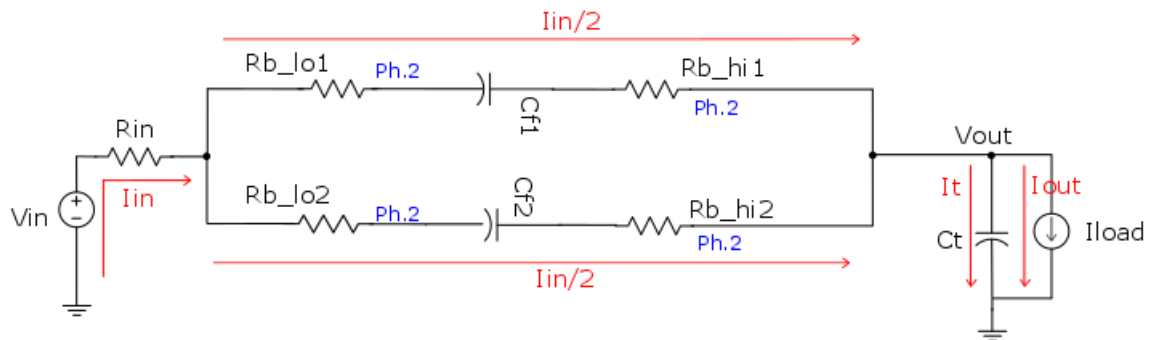


Figura 2.7: Limite FSL nella fase di boost.

Utilizzando l'ipotesi del modello FSL:

$$T_2 \ll \tau_2$$

con τ_2 costante di tempo del circuito nella fase di boost e T_2 periodo di switching della charge pump.

Si è usata una seconda ipotesi per determinare τ_2 da un circuito semplificato:

$$\widehat{V_{cf}^{(1)}} = \widehat{V_{cf}^{(2)}}$$

La giustificazione a questa ipotesi si basa sul fatto che in fase di precharge C_{f1} e C_{f2} sono caricate con la stessa corrente (di fatto sono in serie), mentre nella fase di boost se fossero caricate a tensioni diverse si scaricherebbero l'una sull'altra. E questo è un assurdo. L'ipotesi è quindi verificata.

In Fig. 2.8 è mostrato il circuito semplificato, usando la seconda ipotesi. Si è indicato con $R_{b_1} = R_{b_{lo1}} + R_{b_{hi1}}$ e $R_{b_2} = R_{b_{lo2}} + R_{b_{hi2}}$ la serie delle R_{on} presenti su ciascun ramo.

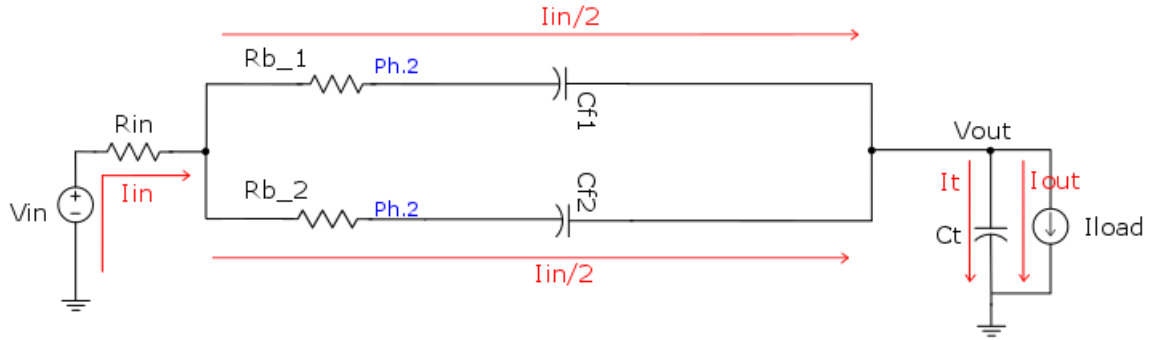


Figura 2.8: Limite FSL: Semplificazione del circuito nella fase di boost.

Svolgendo il parallelo dei due rami, si ottiene una seconda semplificazione, mostrata in Fig. 2.9, dove si è indicato con $R_b = R_{in} + \frac{R_{b1} \cdot R_{b2}}{R_{b1} + R_{b2}}$ e $C_f = C_{f1} + C_{f2}$.

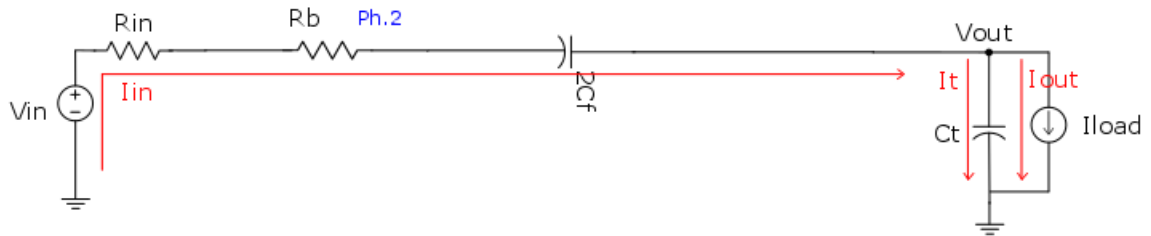


Figura 2.9: Limite FSL: Seconda semplificazione del circuito nella fase di boost.

Da quest'ultimo circuito si è ricavata la costante di tempo τ_2 della rete, che risulta essere pari a $\tau_2 = R_b \cdot \frac{2 \cdot C_f \cdot C_t}{2 \cdot C_f + C_t}$.

Anche in questo caso è stato possibile ricavare un sistema di equazioni che descrive la rete:

$$\left. \begin{aligned}
 V_{out_max} &= V_{out_min} + \frac{I_t^{(2)}}{C_t} \cdot T_2 \quad (2.6) \\
 V_{cf_min} &= V_{cf_max} - \frac{I_{in}^{(2)}}{2 \cdot C_f} \cdot T_2 \quad (2.7) \\
 I_{in}^{(2)} &= \frac{\left[\frac{V_{cf_min} + V_{cf_max}}{2} + V_{in} - \frac{V_{out_max} + V_{out_min}}{2} \right]}{R_b} \quad (2.8) \\
 I_{in}^{(2)} &= I_t^{(2)} + I_L \quad (2.9)
 \end{aligned} \right\}$$

L'intero sistema ottenuto è la somma dei due singoli sistemi, ricavati nelle due fasi:

$$\left. \begin{aligned}
 I_{in}^{(1)} &= \frac{V_{in} - V_{cf_max} - V_{cf_min}}{R_p} \quad (2.10) \\
 V_{cf_max} &= V_{cf_min} + \frac{I_{in}^{(1)}}{C_f} \cdot T_1 \quad (2.11) \\
 I_{out}^{(1)} &= I_L \quad (2.12) \\
 V_{out_min} &= V_{out_max} - \frac{I_L}{C_t} \cdot (T_{ck} - T_2) \quad (2.13) \\
 V_{out_max} &= V_{out_min} + \frac{I_t^{(2)}}{C_t} \cdot T_2 \quad (2.14) \\
 V_{cf_min} &= V_{cf_max} - \frac{I_{in}^{(2)}}{2 \cdot C_f} \cdot T_2 \quad (2.15) \\
 I_{in}^{(2)} &= \frac{\left[\frac{V_{cf_min} + V_{cf_max}}{2} + V_{in} - \frac{V_{out_max} + V_{out_min}}{2} \right]}{R_b} \quad (2.16) \\
 I_{in}^{(2)} &= I_t^{(2)} + I_L \quad (2.17)
 \end{aligned} \right\}$$

Sommando le equazioni (2.13) e (2.14) membro a membro e definendo $\widehat{V_{out}} = \frac{V_{out_min} + V_{out_max}}{2}$ (nel limite FSL questa tensione è lineare, quindi il valor medio può essere calcolato in questo modo), si ottiene:

$$I_t^{(2)} = I_L \cdot \left(\frac{T_{ck}}{T_2} - 1 \right) \quad (2.18)$$

Usando poi l'equazione (2.17) si ricava:

$$I_{in}^{(2)} = I_L \cdot \frac{T_{ck}}{T_2} \quad (2.19)$$

Usando l'equazione (2.13) si ricava una grandezza importante per la nostra analisi, il ripple sulla tensione di uscita:

$$\Delta V_{out} = V_{out_max} - V_{out_min} = \frac{I_L}{C_t} \cdot (T_{ck} - T_2) \quad (2.20)$$

Definendo il valor medio della tensione sulle capacità flying come $\widehat{V_{cf}} = \frac{V_{cf_min} + V_{cf_max}}{2}$ (nel limite FSL questa tensione è lineare stando per ipotesi nella parte iniziale dell'esponenziale di carica e scarica) si ottiene:

$$I_{in}^{(1)} = I_L \cdot \frac{T_{ck}}{2 \cdot T_1} \quad (2.21)$$

Attraverso l'equazione (2.10) e (2.16) si ricavano i valori medi delle tensioni sulle capacità flying e sulla tensione di uscita:

$$\widehat{V_{cf}} = \frac{V_{in}}{2} - \frac{I_L}{4} \cdot \frac{T_{ck} \cdot R_p}{T_1} \quad (2.22)$$

Usando le equazioni (2.10) e (2.16) e ricordando che $R_p = (R_{in} + R_{p_hi} + R_{p_mid} + R_{p_lo})$ e $R_b = R_{in} + \frac{R_{b1} \cdot R_{b2}}{R_{b1} + R_{b2}}$ si ricavano i valori medi delle tensioni sulle capacità flying e sull'uscita:

$$\widehat{V_{cf}} = \frac{V_{in}}{2} - \frac{I_L}{4} \cdot \frac{T_{ck} \cdot R_p}{T_1} \quad (2.22) \quad \widehat{V_{out}} = \frac{3 \cdot V_{in}}{2} - I_L \cdot T_{ck} \cdot \left[\frac{R_p}{4 \cdot T_1} + \frac{R_b}{T_2} \right] \quad (2.23)$$

Definendo la resistenza di uscita in questo limite come $R_{out}^{FSL} = T_{ck} \cdot \frac{R_p}{4 \cdot T_1} + \frac{R_b}{T_2}$ si ottiene un'altra importante relazione:

$$\widehat{V_{out}} = \frac{3 \cdot V_{in}}{2} - I_L \cdot R_{out}^{FSL} \quad (2.24)$$

Dall'equazione (2.15) si ricava il ripple sulle tensioni delle capacità flying:

$$\Delta_{V_{cf}} = \frac{I_L}{2 \cdot C_f} \cdot T_{ck} \quad (2.25)$$

Altre relazioni importanti che sono state ricavate sono la corrente media in ingresso alla charge pump e l'efficienza statica:

$$\widehat{I_{in}} = I_{in}^{(1)} \cdot \frac{T_1}{T_{ck}} + I_{in}^{(2)} \cdot \frac{T_2}{T_{ck}} = \frac{3I_L}{2} \quad (2.26)$$

$$eff. = \frac{\widehat{I_{out}} \widehat{V_{out}}}{\widehat{I_{in}} \widehat{V_{in}}} = 1 - \frac{2}{3} \cdot \frac{I_L \cdot R_{out}^{FSL}}{V_{in}} \quad (2.27)$$

Alcune osservazioni importanti sui risultati ottenuti riguardano essenzialmente la R_{out} . Se la R_{out} aumenta l'efficienza crolla e quindi maggiore potenza viene dissipata all'interno della charge pump. Mentre la R_{out} aumenta se T_1 e T_2 aumentano, e quindi se il dead time diminuisce.

Analisi del modello SSL

Anche in questa analisi abbiamo utilizzato switch ideali con una resistenza R_{on} in conduzione. Nella fase di progettazione transistor level saranno invece sostituiti con MOS reali. Abbiamo indicati con il pedice 'p' i switch che si chiudono nella fase di precharge e con il pedice 'b' quelli che si chiudono nella fase di boost.

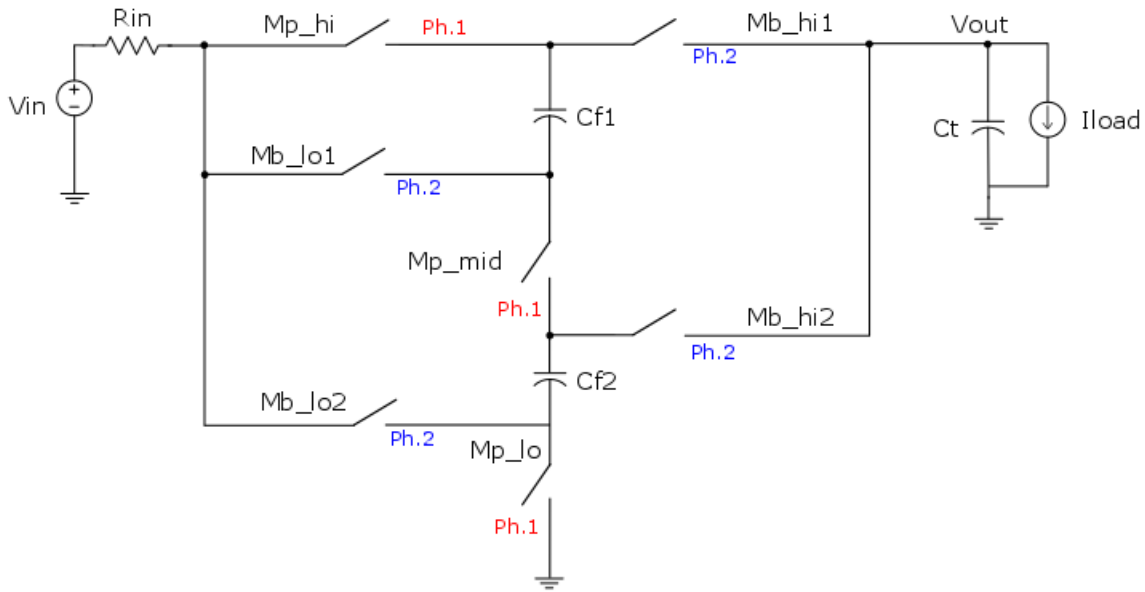


Figura 2.10: Limite SSL nella charge pump progettata.

Facendo riferimento alla Fig. 2.5, dove viene evidenziata la topologia nella fase di precharge e usando l'ipotesi del limite SSL:

$$T_1 \gg \tau_1$$

con $\tau_1 = (R_{in} + R_{p_hi} + R_{p_mid} + R_{p_lo}) \cdot \frac{C_f}{2} = R_p \cdot \frac{C_f}{2}$ abbiamo ottenuto il seguente sistema di equazioni per la fase di precharge (dove l'apice (1) indica la fase di precharge):

$$\left\{ \begin{array}{l}
V_{out_min} = V_{out_max} - \frac{I_L}{C_t} \cdot T_{1ext} \quad (2.28) \\
V_{cf_max} = \frac{V_{in}}{2} \quad (2.29) \\
I_{in}^{(1)}(t) = \frac{V_{in} - 2 \cdot V_{cfmin}}{R_p} \cdot e^{-\frac{t}{\tau_1}} \quad (2.30) \\
I_t = -I_L \quad (2.31)
\end{array} \right.$$

Dove $T_{1ext} = T_1 + t_{dead1} + t_{dead2}$ (vedi Fig. 2.6). Da notare che con l'ipotesi del modello

$T_1 \gg \tau_1$ le capacità flying sono completamente cariche a $V_{in}/2$. Nella (2.28) abbiamo anche fatto l'ipotesi che $I_L \cdot T_{1ext}/C_t$ sia molto minore di V_{out_max} .

Usando la stessa semplificazione circuitale usata per il limite FSL nella fase di boost e usando l'ipotesi $T_2 \gg \tau_2$ con $\tau_2 = R_b \cdot \frac{2 \cdot C_f \cdot C_t}{2 \cdot C_f + C_t}$, otteniamo il seguente sistema di equazioni per la fase di boost (dove l'apice (2) indica la fase di boost):

$$\left\{ \begin{array}{l}
I_{in}^{(2)}(t) = I_L + I_t^{(2)}(t) \quad (2.32) \\
V_{cf}^{(2)}(t) = \frac{V_{in}}{2} + \frac{\Delta Q}{2 \cdot C_f} = \frac{V_{in}}{2} - \frac{1}{2 \cdot C_f} \cdot \int_0^t I_{in}^{(2)}(t) dt \quad (2.33) \\
V_{out}^{(2)}(t) = V_{out_min} + \frac{1}{C_t} \cdot \int_0^t I_t^{(2)}(t) dt \quad (2.34) \\
V_{in} + V_{cf}^{(2)}(t) = R_b \cdot I_{in}^{(2)}(t) + V_{out}^{(2)}(t) \quad (2.35)
\end{array} \right.$$

Risolvendo questo sistema integro-differenziale, si ricavano le relazioni utili come nel caso FSL.

Sommando le equazioni (2.34) e (2.35) membro a membro e sostituendo il risultato della somma nell'equazione (2.36) e successivamente derivando tutto si ottiene:

$$I_{in}^{(2)}(t) = \left(\frac{3/2 \cdot V_{in} - V_{out_min}}{R_b} - I_L \cdot \alpha \right) \cdot e^{-\frac{t}{\tau_2}} + I_L \cdot \alpha \quad (2.36)$$

Con $\alpha = \frac{2 \cdot C_f}{2 \cdot C_f + C_t}$.

Usando l'equazione (2.32) si ricava:

$$I_t^{(2)}(t) = \left(\frac{3/2 \cdot V_{in} - V_{out_min}}{R_b} - I_L \cdot \alpha \right) \cdot e^{-\frac{t}{\tau_2}} + I_L \cdot (\alpha - 1) \quad (2.37)$$

Sostituendo $I_t^{(2)}(t)$ nell'equazione (2.34) si ottiene:

$$V_{out}^{(2)}(t) = V_{out_min} + \frac{1}{C_t} \cdot \left(\frac{3/2 \cdot V_{in} - V_{out_min}}{R_b} - I_L \cdot \alpha \right) \cdot [\tau_2 \cdot (1 - e^{-\frac{t}{\tau_2}})] + \frac{I_L \cdot (\alpha - 1)}{C_t} \cdot t \quad (2.38)$$

Utilizzando l'ipotesi iniziale del modello e ponendo $V_{out}^{(2)}(t) = V_{out_max}$ otteniamo i valori a regime della V_{out} e delle tensioni sulle capacità flying:

$$V_{out_max} \cong V_{out_min} \cdot (1 - \alpha) + \frac{3}{2} \cdot V_{in} \cdot \alpha - \frac{I_L}{C_t} \cdot T_2 \cdot (1 - \alpha) \quad (2.39)$$

$$V_{cf}^{(2)}(t) = \frac{V_{in}}{2} + \frac{1}{2 \cdot C_f} \cdot \left(\frac{3/2 \cdot V_{in} - V_{out_min}}{R_b} - I_L \cdot \alpha \right) \cdot [\tau_2 \cdot (1 - e^{-\frac{t}{\tau_2}})] + I_L \cdot \alpha \cdot t \quad (2.40)$$

Ponendo poi $V_{cf}^{(2)}(t = T_2) = V_{cf_min}$ si ottiene:

$$V_{cf_min} \cong \frac{V_{in}}{2} - \left(\frac{3}{2} \cdot V_{in} - V_{out_min} \right) \cdot (1 - \alpha) - \frac{I_L}{2 \cdot C_f} \cdot \alpha \quad (2.41)$$

Il sistema finale che si ottiene è quindi un sistema lineare:

$$\left\{ \begin{array}{l} V_{out_min} = V_{out_max} - \frac{I_L}{C_t} \cdot (T_{1ext}) \quad (2.42) \\ V_{cf_max} = \frac{V_{in}}{2} \quad (2.43) \\ V_{out_max} \cong V_{out_min} \cdot (1 - \alpha) + \frac{3}{2} \cdot V_{in} \cdot \alpha - \frac{I_L}{C_t} \cdot T_2 \cdot (1 - \alpha) \quad (2.44) \\ V_{cf_min} \cong \frac{V_{in}}{2} - \left(\frac{3}{2} \cdot V_{in} - V_{out_min} \right) \cdot (1 - \alpha) - \frac{I_L}{2 \cdot C_f} \cdot \alpha \quad (2.45) \end{array} \right.$$

Sommando membro a membro le equazioni (2.44) e (2.45) si ottiene:

$$V_{out_min} = \frac{3 \cdot V_{in}}{2} - \frac{I_L}{\alpha \cdot C_t} \cdot [T_{1ext} + T_2 \cdot (1 - \alpha)] \quad (2.46)$$

Sostituendo V_{out_min} nell'equazione (2.44):

$$V_{out_max} = \frac{3 \cdot V_{in}}{2} - \frac{I_L}{\alpha \cdot C_t} \cdot [T_{1ext} + T_2] \cdot (1 - \alpha) \quad (2.47)$$

Il valor medio della tensione di uscita è data quindi da:

$$\widehat{V_{out}} = \frac{3 \cdot V_{in}}{2} - \frac{I_L}{2 \cdot \alpha \cdot C_t} \cdot \frac{1}{T_{ck}} \cdot [T_{1ext}^2 \cdot (2 - \alpha) + 4 \cdot T_2 \cdot T_{1ext} \cdot (1 - \alpha) + 2 \cdot T_2^2 \cdot (1 - \alpha)] \quad (2.48)$$

Definendo $R_{out}^{SSL} = \frac{1}{2 \cdot \alpha \cdot C_t} \cdot [T_{1ext}^2 \cdot (2 - \alpha) + 4 \cdot T_2 \cdot T_{1ext} \cdot (1 - \alpha) + 2 \cdot T_2^2 \cdot (1 - \alpha)] \cdot (1 - \alpha)$ il valor medio dell'uscita diventa:

$$\widehat{V_{out}} = \frac{3 \cdot V_{in}}{2} - I_L \cdot R_{out}^{SSL} \quad (2.50)$$

È possibile semplificare l'espressione della Rout con le seguenti due ipotesi aggiuntive:

$$\text{Hp.1: } T_2 = T_1 = \frac{T_{ck}}{2}$$

e

$$\text{Hp.2: } t_{dead} \ll T_1, T_2 \Rightarrow T_{1ext} \cong T_1$$

L'espressione semplificata della Rout diventa:

$$R_{out}^{SSL} = \frac{T_{ck}}{2} \cdot \left(\frac{1}{2 \cdot C_t} + \frac{1}{C_f} \right) \quad (2.50)$$

Di seguito sono riportati i ripple sulla tensione di uscita e sulle tensioni delle capacità flying:

$$\Delta V_{out} = \frac{I_L}{C_t} \cdot [T_{1ext} + T_2 \cdot (1 - \alpha)] \quad (2.51)$$

$$\Delta V_{Cf} = (1 - \alpha) \cdot \frac{I_L}{C_t} \cdot [T_{1ext} + T_2 \cdot (1 - \alpha)] + \frac{I_L}{2 \cdot C_f} \cdot \alpha \cdot T_2 \quad (2.52)$$

Alcune osservazioni importanti sui risultati ottenuti riguardano essenzialmente la Rout. Essa non dipende da resistenze ma solo da capacità. Inoltre se la Rout aumenta l'efficienza crolla e quindi più potenza viene dissipata all'interno della charge pump.

Nella Fig. 2.11 sono riportati gli andamenti della Vout in funzione del tempo nei due limiti FSL e SSL. Come si vede nel limite FSL, la tensione di uscita ha un andamento lineare, infatti in questo limite, essendo $T_1 \ll \tau_1$ e $T_2 \ll \tau_2$, l'andamento rappresenta il primo tratto di un esponenziale.

Nel limite SSL inizialmente la tensione di uscita cala linearmente, perché la capacità tank si scarica con corrente costante I_L , dopo la V_{out} sale con andamento esponenziale (essendo $T_1 \gg \tau_1$ and $T_2 \gg \tau_2$) e quando le capacità flying non sono capaci di fornire corrente al carico, è C_t che inizia a fornire corrente al carico e V_{out} decresce con pendenza pari a $\frac{(1-\alpha) \cdot I_L}{C_t}$.

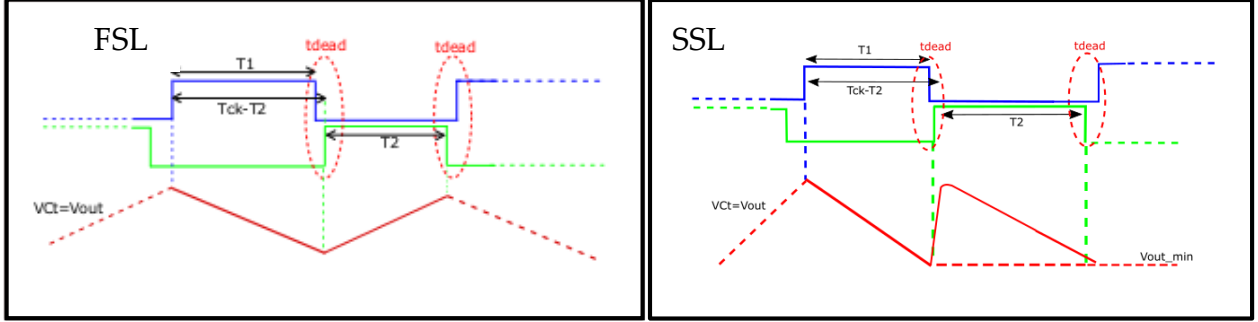


Figura 2.11: Andamento della V_{out} nei due limiti FSL e SSL.

Di seguito sono riassunte le relazioni utili per la parte di progettazione transistor level:

FSL MODEL

Fase di precharge

Hp: $T_1 \ll \tau_1$

$$\tau_1 = R_p \cdot \frac{C_f}{2} \quad \text{con } R_p = R_{in} + R_{p_hi} + R_{p_mid} + R_{p_lo}$$

Fase di boost

Hp: $T_2 \gg \tau_2$

$$\tau_2 = R_b \cdot (2C_f // C_t) \quad \text{con } R_b = R_{in} + (R_{b_lo1} + R_{b_hi1}) // (R_{b_lo2} + R_{b_hi2})$$

$$R_{out}^{FSL} = \frac{T_{ck}}{4 \cdot T_1} \cdot R_p + \frac{T_{ck}}{T_2} \cdot R_b \quad (2.53)$$

SSL MODEL

Fase di precharge

Hp: $T_1 \gg \tau_1$

$$\tau_1 = R_p \cdot \frac{C_f}{2} \quad \text{con } R_p = R_{in} + R_{p_hi} + R_{p_mid} + R_{p_lo}$$

Fase di boost

Hp: $T_2 \gg \tau_2$

$$\tau_2 = R_b \cdot (2C_f // C_t) \quad \text{con } R_b = R_{in} + (R_{b_lo1} + R_{b_hi1}) // (R_{b_lo2} + R_{b_hi2})$$

Hp: $T_1 = T_2 = \frac{T_{ck}}{2}$ e $t_d \ll T_1, T_2$ (questo nel limite SSL)

$$R_{out}^{SSL} = \frac{T_{ck}}{2} \cdot \left[\frac{1}{2C_t} + \frac{1}{C_f} \right] \quad (2.54)$$

Efficienza

$$\eta = \frac{V_{out} \cdot I_{out}}{V_{in} \cdot I_{in} + P_{sw}} \quad (2.56)$$

$$\text{con } V_{out} = \frac{3}{2} \cdot V_{in} - R_{out} \cdot I_{load} \text{ e } I_{in} = \frac{3}{2} \cdot I_{out}$$

$$\text{Se } P_{sw} \ll V_{in} \cdot I_{in} \rightarrow \eta \cong \frac{V_{out} \cdot I_{out}}{V_{in} \cdot I_{in}} = 1 - \frac{2}{3} \cdot \frac{R_{out} \cdot I_{load}}{V_{in}}$$

→ Il caso peggiore per l'efficienza è $V_{in} = V_{in_min}$

I valori riportati sono i valori medi della tensione e della corrente.

2.2.2 Strategia di bootstrap

Avendo utilizzato come switch dei transistori NMOS per ridurre l'occupazione di area, rispetto all'utilizzo di PMOS, è necessaria una strategia di bootstrap che permetta tramite delle capacità di ottenere il più alto overdrive possibile per accendere gli NMOS. Più alto è l'overdrive più la R_{on} dei switch è piccola (Eqn. 2.55). Più la R_{on} dei switch è piccola più la R_{out} è piccola e quindi più alta è l'efficienza.

$$R_{on} = \frac{1}{K_N \cdot \frac{W}{L} \cdot (V_{GS} - V_t)} \quad (2.55)$$

Le capacità utilizzate, dette capacità di bootstrap, permettono oltre ad accendere gli NMOS, di creare anche una tensione di bias per i traslatori di livello e i driver che verranno usati all'interno della charge pump. È importante la posizione di queste capacità di bootstrap e valutare la corretta accensione dei vari NMOS. Per fare questo è stato utilizzato non più il modello della charge pump, ma si è utilizzato lo schematico reale, sostituendo al posto dei switch ideali gli NMOS reali con i loro diodi di body e ponendo le capacità di bootstrap come in Fig.2.12. In figura sono evidenziati in verde i switch accesi e in rosso quelli spenti, il pedice 'p' sta ad indicare la fase di precharge e il pedice 'b' la fase di boost.

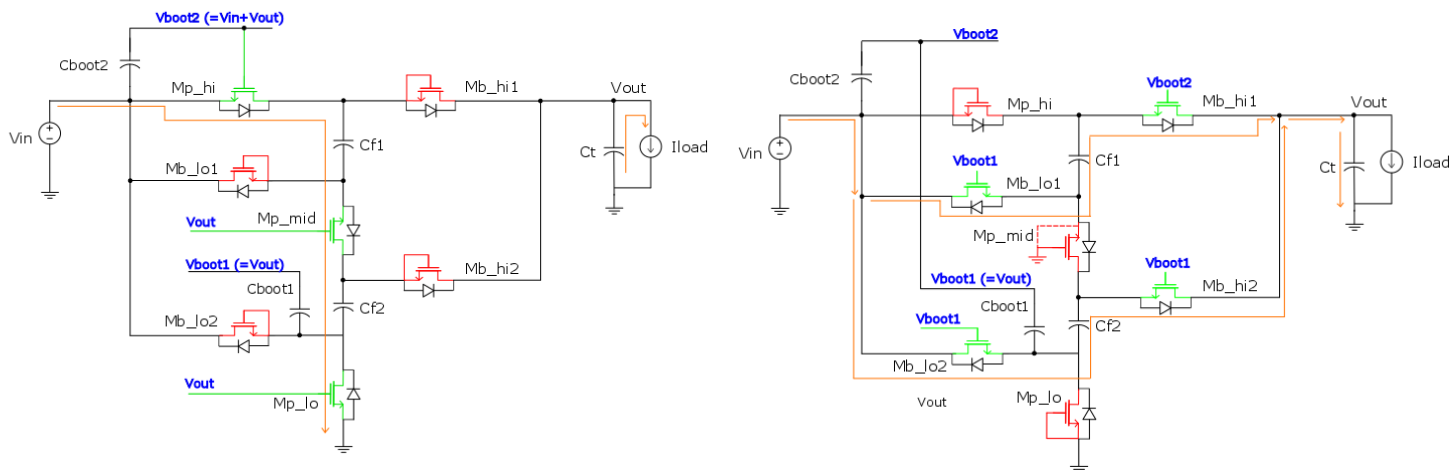


Figura 2.12: Schematici reali in fase di precharge e di boost.

Ipotizzando che la V_{gs} fornita dalle capacità di bootstrap sui singoli MOS, debba essere $V_{gs} \geq V_{in}$ per avere un overdrive sufficiente, tale da garantire basse R_{on} , abbiamo calcolato le V_{gs} nelle due fasi e verificato che la condizione fosse rispettata.

Fase di precharge:

$$M_{phi}, M_{pmid}, M_{plo} \text{ ON} \rightarrow V_{gs} \geq V_{in}$$

$$M_{bhi1}, M_{blo1}, M_{bhi2}, M_{blo2} \text{ OFF} \rightarrow V_{gs} = 0$$

$$V(M_{phi})_s = V_{in} \rightarrow V_g = V_{in} + V_{out} \Rightarrow V_{gs} = V_g - V_s = \frac{3}{2} \cdot V_{in} = V_{out} \geq V_{in} \quad (2.56)$$

$$V(M_{pmid})_s = \frac{V_{in}}{2} \rightarrow V_g = V_{out} \Rightarrow V_{gs} = V_g - V_s = V_{out} - \frac{1}{2} \cdot V_{in} = V_{in} \geq V_{in} \quad (2.57)$$

$$V(M_{plo})_s = 0 \rightarrow V_g = V_{out} \Rightarrow V_{gs} = V_g - V_s = \frac{3}{2} \cdot V_{in} = V_{out} \geq V_{in} \quad (2.58)$$

Per i switch che devono essere spenti si è deciso di utilizzare una $V_g = V_s$, per ottenere questo è stato utilizzato un driver che spegne il MOS connettendo il suo gate al suo source, come si vede in Fig.2.13.

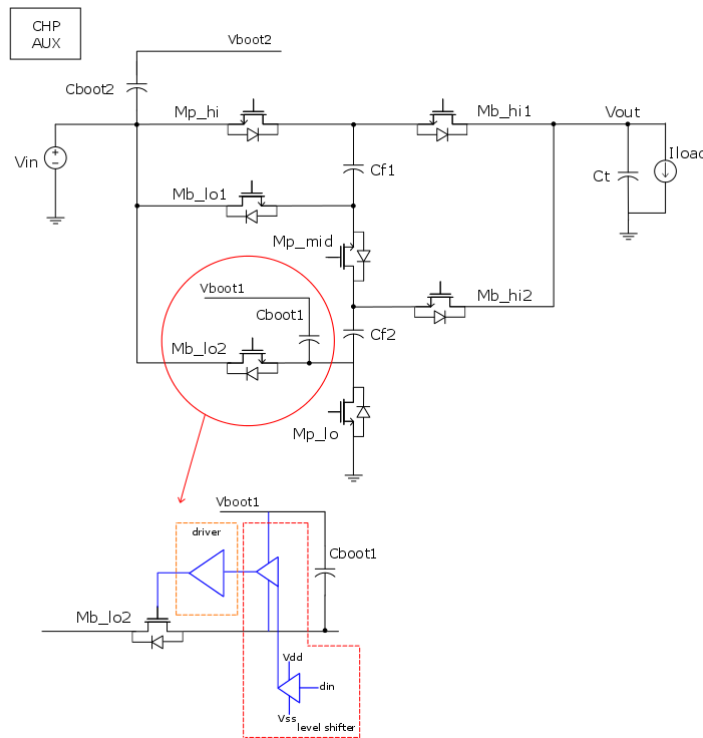


Figura 2.13: Esempio di driver e traslatori di livello utilizzati per pilotare il gate di un NMOSFET.

Fase di boost:

$$M_{bhi1}, M_{blo1}, M_{bhi2}, M_{blo2} \text{ ON} \rightarrow V_{gs} \geq V_{in}$$

$$M_{phi}, M_{pmid}, M_{plo} \text{ OFF} \rightarrow V_{gs} = 0$$

$$V(M_{blo1})_s = V_{in} \rightarrow V_g = V_{in} + V_{out} \Rightarrow V_{gs} = V_g - V_s = \frac{3}{2} \cdot V_{in} = V_{out} \geq V_{in} \quad (2.59)$$

$$V(M_{blo2})_s = V_{in} \rightarrow V_g = V_{in} + V_{out} \Rightarrow V_{gs} = V_g - V_s = \frac{3}{2} \cdot V_{in} = V_{out} \geq V_{in} \quad (2.60)$$

$$V(M_{bhi1})_s = \frac{3}{2} \cdot V_{in} \rightarrow V_g = V_{in} + V_{out} \Rightarrow V_{gs} = V_g - V_s = V_{in} \geq V_{in} \quad (2.61)$$

$$V(M_{bhi2})_s = \frac{3}{2} \cdot V_{in} \rightarrow V_g = V_{in} + V_{out} \Rightarrow V_{gs} = V_g - V_s = V_{in} \geq V_{in} \quad (2.62)$$

Tutte le V_{gs} hanno una tensione almeno pari a V_{in} , quindi la condizione richiesta è effettivamente rispettata. Per ottenere un maggiore overdrive sugli Mb_hi è stata contemplata un'altra possibilità, quella di usare non due ma tre capacità di bootstrap. Due per accendere i MOS come nell'analisi sopra riportata e una dedicata per gli Mb_hi . Il confronto tra le due possibilità è riportato in tabella 2.1.

	Advantages	Disadvantages
2 capacità di bootstrap	Minore numero di pin	Basso overdrive sugli Mb_{hi}
3 capacità di bootstrap	Overdrive più alto, R_{on} bassa	Maggiore numero di pin

Tabella 2.1: Comparazione tra le due possibilità.

Per ridurre il numero di pin su PCB e il numero di componenti esterni abbiamo scelto la soluzione con due capacità, rinunciando ai vantaggi offerti dall'altra soluzione.

In Fig. 2.14 è illustrato il package scelto, il WLCSP (Wafer Level Chip-Scale Package). Questo è il package più adatto per i nostri scopi e per le connessioni on chip che abbiamo.

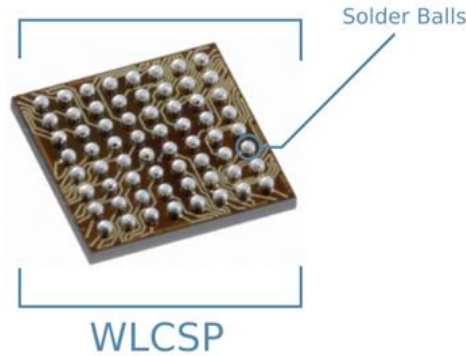


Figura 2.14: Package scelto WLCSP.

In modalità di funzionamento normale, descritta fino ad adesso, le capacità di bootstrap vengono caricate e scaricate continuamente. In particolare, come riportato in Fig. 2.15, nella fase di precharge la capacità Cboot1 viene caricata con la tensione di uscita mentre la capacità Cboot2 viene usata per accendere i MOS Mp_hi e mb_hi1, con una tensione Vboot2 pari a $V_{in}+V_{out}$.

Nella fase di boost Cboot1 va a caricare Cboot2 tramite un diodo attivo, il cui schema a blocchi è mostrato in Fig. 2.16 e ad accendere i MOS Mb_lo1, Mb_lo2 e Mb_hi2. Come mostra la figura il switch tra Cboot1 e Cboot2 si chiude solo quando $V_{boot1} > V_{boot2}$, altrimenti scaricherei Cboot2 invece di caricarla.

La carica di Cboot2 si ha quando Mb_lo2 si accende, e chiudendosi porta Cboot1 in parallelo a Cboot2.

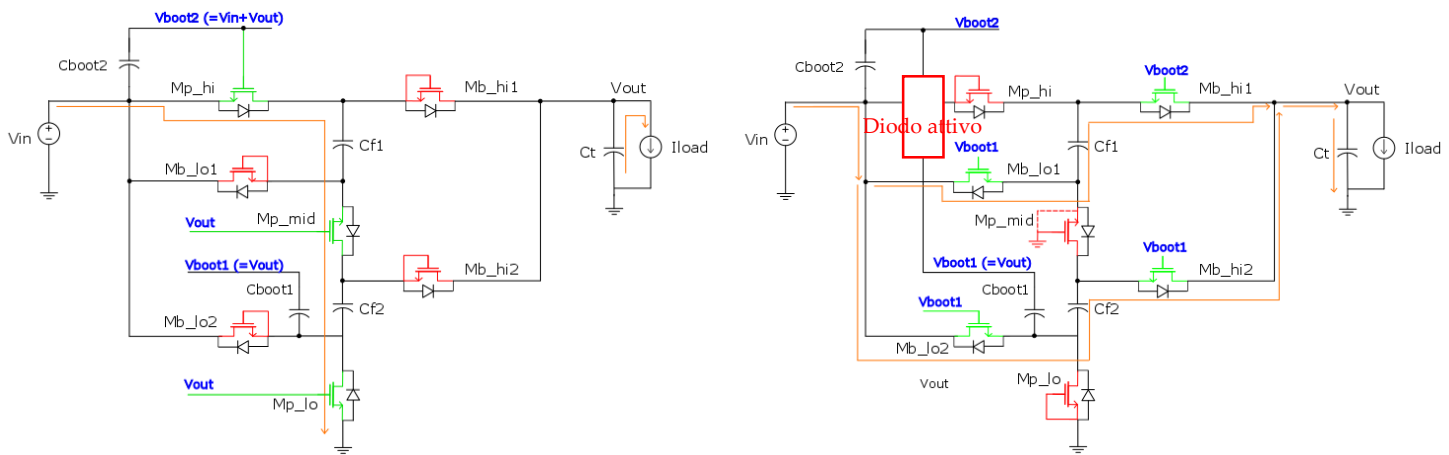


Figura 2.15: Carica e scarica delle capacità di bootstrap nelle due fasi.

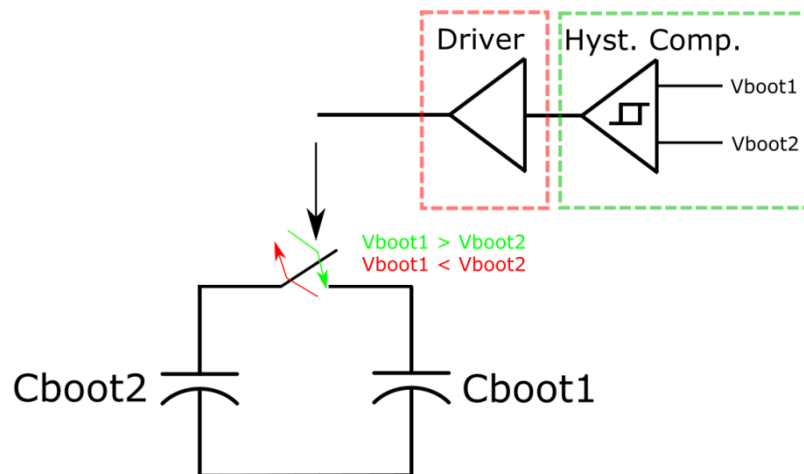


Figura 2.16: Diodo attivo

2.2.3 Perdite di commutazione

In questa sezione è analizzata la potenza necessaria per accendere i vari MOS (switching loss). In particolare è stata ricavata l'energia che serve per caricare le capacità C_{gs} dei dispositivi. In Fig. 2.17 è riportato lo schema circuitale reale comprensivo di capacità di bootstrap, analizzate nel capitolo precedente.

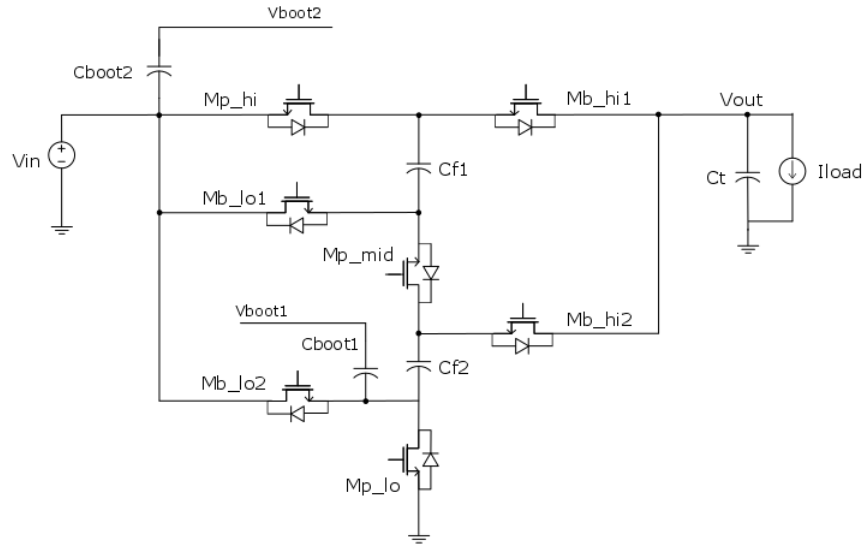


Figura 2.17: Schematico reale della charge pump comprensivo di capacità di bootstrap.

Indicando con C_{gphi} , C_{gpmid} , C_{gplo} , C_{gblo1} , C_{gblo2} , C_{gbhi1} , C_{gbhi2} le capacità di gate dei relativi dispositivi, abbiamo calcolato l'energia spesa per caricare ognuna di queste capacità. Applicando la sovrapposizione degli effetti abbiamo ottenuto l'energia totale. Vediamo i singoli contributi energetici.

- C_{gphi}

Quando il MOS è spento, C_{gphi} è carica a $-V_{in}$, quando il MOS è connesso a V_{boot2} la capacità si carica a V_{out} , e il dispositivo si accende.

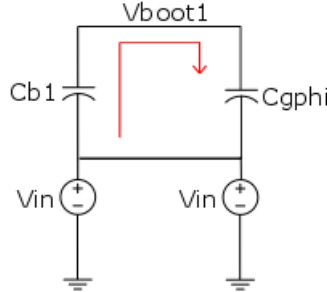


Figura 2.18: Modello per calcolare l'energia necessaria per accendere Mp_{hi} .

$$E_{phi} = \int V \cdot i(t) dt = V \cdot \Delta Q = C_{gphi} \cdot V_{out}^2 \quad (2.63)$$

- C_{gpmid}

Quando il MOS spento, C_{gpmid} è carica $-V_{in}$, quando il MOS è connesso a V_{out} la capacità è carica a $V_{out} - (V_{in}/2)$, e il MOS è acceso.

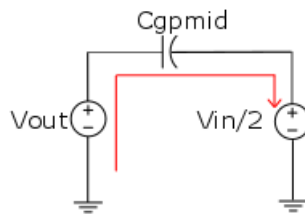


Figura 2.19: Modello per calcolare l'energia necessaria per accendere Mp_{mid} .

$$E_{pmid} = \int V \cdot i(t) dt = V \cdot \Delta Q = \left(V_{out} - \frac{V_{in}}{2} \right) \cdot C_{gpmid} \cdot \left(V_{out} + \frac{V_{in}}{2} \right) \quad (2.64)$$

- C_{gplo}

Quando il MOS è spento, C_{gplo} è scarica, quando il gate è connesso a V_{out} la capacità si carica V_{out} e M_{p1o} si accende.

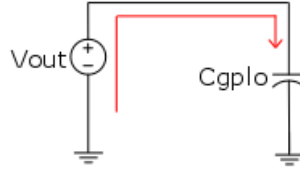


Figura 2.20: Modello per calcolare l'energia necessaria per accendere M_{p1o} .

$$E_{p1o} = \int V \cdot i(t) dt = V \cdot \Delta Q = V_{out} \cdot C_{gplo} \cdot V_{out} = C_{gplo} \cdot V_{out}^2 \quad (2.65)$$

- C_{gb1o1}

Quando il MOS è spento, C_{gb1o1} è carica a $-V_{in}/2$, quando il gate è connesso a V_{boot2} la capacità si carica a V_{out} , e il MOS si accende.

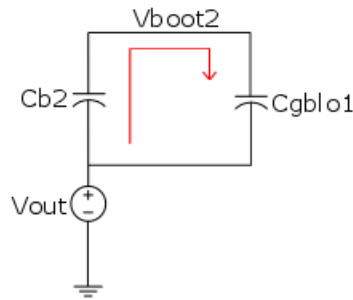


Figura 2.21: Modello per calcolare l'energia necessaria per accendere M_{b1o1} .

$$E_{b1o1} = \int V \cdot i(t) dt = V \cdot \Delta Q = V_{out} \cdot C_{gb1o1} \cdot \left(V_{out} + \frac{V_{in}}{2} \right) \quad (2.66)$$

- C_{gblo2}

Quando il MOS è spento, C_{gblo2} è scarica, quando il gate è connesso a Vboot2 la capacità si carica a Vout, e il MOS si accende.

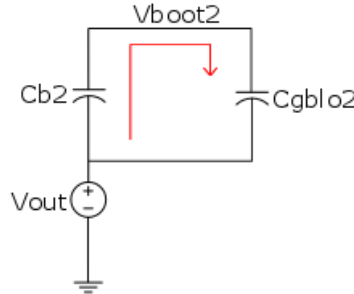


Figura 2.22: Modello per calcolare l'energia necessaria per accendere Mb_lo2.

$$E_{blo2} = \int V \cdot i(t) dt = V \cdot \Delta Q = C_{gblo2} \cdot V_{out}^2 \quad (2.67)$$

- C_{gbhi1}

Quando il MOS è spento, C_{gbhi1} è carica a $-V_{in}$, quando il MOS è connesso a Vboot2 la capacità si carica a V_{in} , e il dispositivo si accende

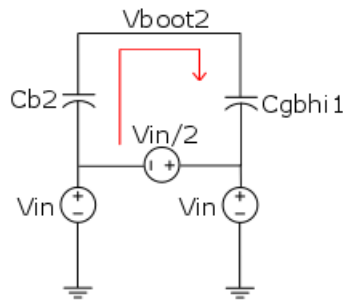


Figura 2.23: Modello per calcolare l'energia necessaria per accendere Mb_hi1.

$$E_{bhi1} = \int V \cdot i(t) dt = V \cdot \Delta Q = \left(V_{out} - \frac{V_{in}}{2} \right) \cdot C_{gbhi1} \cdot 2 \cdot V_{in} \quad (2.68)$$

- C_{gbhi2}

Quando il MOS è spento, C_{gbhi2} è carica a $-V_{in}/2$, quando il gate è connesso a V_{boot2} la capacità si carica a V_{in} , e il MOS si accende.

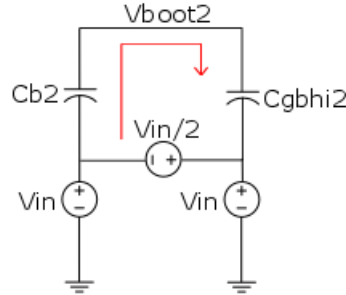


Figura 2.24: Modello per calcolare l'energia necessaria per accendere Mb_hi2.

$$E_{bhi2} = \int V \cdot i(t) dt = V \cdot \Delta Q = \left(V_{out} - \frac{V_{in}}{2} \right) \cdot C_{gbhi2} \cdot \frac{3 \cdot V_{in}}{2} \quad (2.69)$$

Energia totale:

$$E_{TOT} = E_{phi} + E_{pmid} + E_{plo} + E_{blo1} + E_{blo2} + E_{bhi1} + E_{bhi2} \quad (2.70)$$

Sostituendo i contributi energetici precedenti nel caso semplice di $V_{out} = \frac{3 \cdot V_{in}}{2}$:

$$P_{sw} = f_{sw} \cdot V_{in}^2 \cdot [9/4 \cdot (C_{gphi} + C_{gplo} + C_{gblo2}) + 2 \cdot (C_{gpmid} + C_{gbhi1}) + 3 \cdot C_{gblo1} + 3/2 \cdot C_{bhi2}] \quad (2.71)$$

Dall'ultima relazione si nota come la perdita di commutazione sia proporzionale a f_{sw} e V_{in}^2 e come dipenda proporzionalmente anche da C_{gs} . Più grande è la C_{gs} più energia è necessaria per caricare e scaricare queste capacità di gate. Per validare il modello relativo

alle perdite di commutazione, è stata fatta una simulazione utilizzando il testbench di Fig. 2.25, in cui sono modellati i switch e le capacità di gate dei vari MOS:

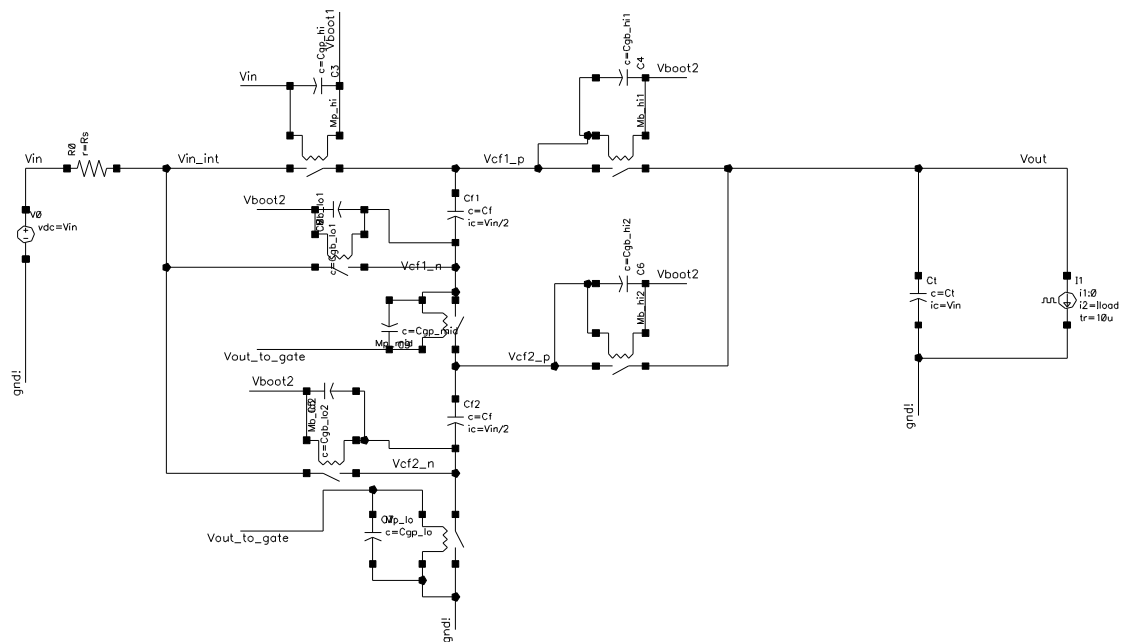


Figura 2.25: Testbench modello per la charge pump.

Le capacità di gate sono state modellate andando a ricavare la capacità in funzione della R_{on} dei switch, utilizzando il testbench di Fig. 2.26 per ogni switch. La validazione del modello è stata confermata dai risultati di simulazione sotto riportati:

Risultato simulazione

P_switch				27.94m	27.94m	27.94m
----------	--	--	--	--------	--------	--------

Risultato modello

P_switch_mod				30.62m	30.62m	30.62m
--------------	--	--	--	--------	--------	--------

Come si vede il risultato ottenuto dalla relazione (2.71) e quello ottenuto dalla simulazione sono analoghi.

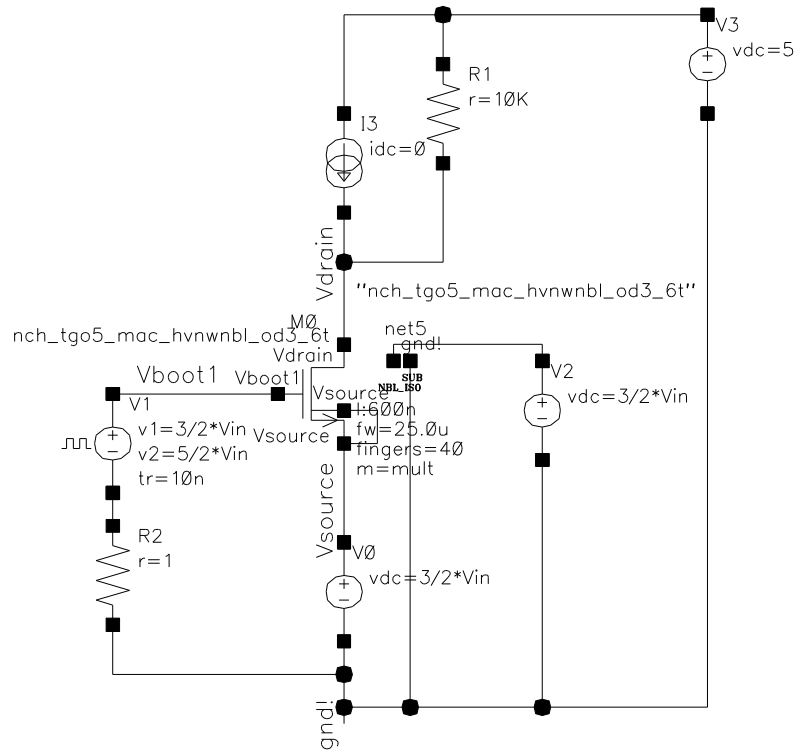


Figura 2. 26: Testbench per ricavare la capacità di gate in funzione della R_{on} dello switch.

2.2.4 Modalità di funzionamento della charge pump

Oltre alla modalità di funzionamento descritta fino ad ora che in Fig. 2.27 rientra sotto il nome di boost mode, esistono altre modalità in cui la charge pump può trovarsi a lavorare.

In particolare se ne individuano altre tre:

- Inrush
- Slow startup
- Pulse skip per bassi carichi

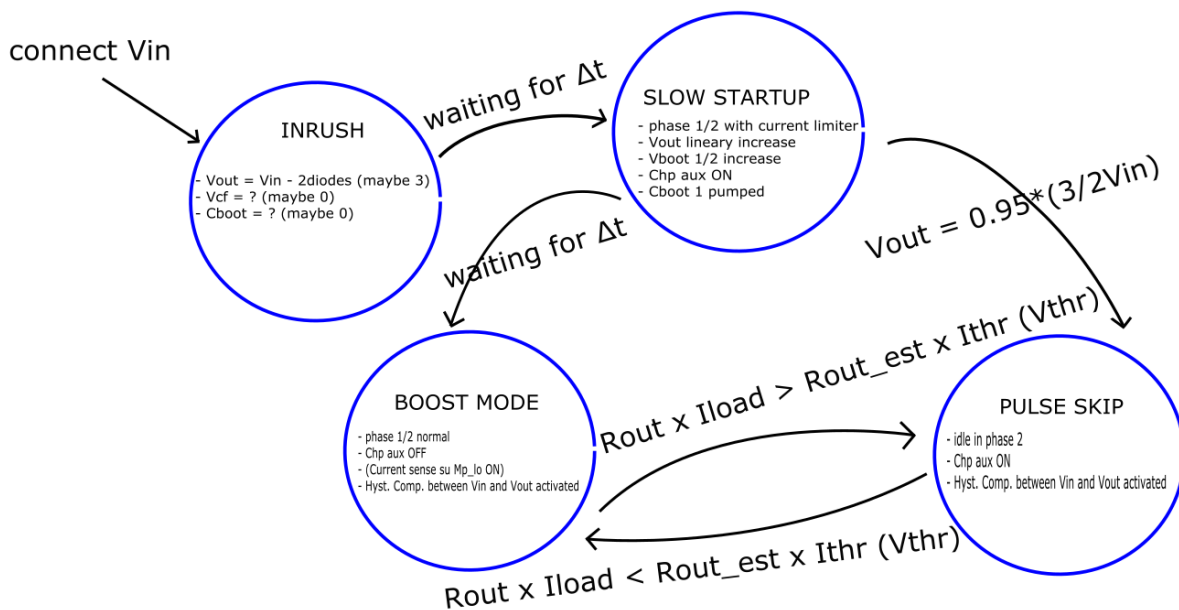


Figura 2.27: Modalità operative della charge pump.

Le condizioni per cui si passa da una modalità all'altra sono illustrate in Fig. 2.25. In particolare nel momento in cui V_{in} viene connessa si ha una corrente di spunto (inrush current) che scorre attraverso i diodi di M_{p_hi} e M_{b_hi1} e la V_{out} si porta a $V_{in} - 2 \cdot V_{\gamma}$. Dopo un certo Δt , programmabile digitalmente in cui le capacità flying vengono caricate a corrente costante, con limitazione su M_{p_lo} , si passa nella modalità di slow startup dove il circuito comincia a commutare tra la fase di precharge e quella di boost a corrente limitata. La limitazione di corrente è applicata su M_{b_lo1} e M_{b_lo2} . Nella fase di boost il source di

Mb_hi1 e Mb_hi2, senza la limitazione di corrente allo startup si porterebbe a $V_{in} + V_{cf1} \gg V_{out}$; con conseguente corrente elevata nei diodi di body. Appena $V_{out} > (3/2) \cdot V_{in} \cdot 0.95$ un comparatore avvisa della fine dello startup e si passa nella normale fase di boost mode, dove le limitazioni di corrente vengono tolte.

Se la corrente di carico è molto bassa (centinaia di mA), l'uscita scende dal valore di regime molto lentamente, ed è inutile continuare la fase di boost mode. Si passa quindi nella fase di pulse skip. In questa fase la charge pump è ancora in fase di precharge mantenendo le capacità flying cariche, per essere pronti a ripartire. Quando la tensione V_{out} scende sotto una certa soglia, data dalla fascia di isteresi, un comparatore scatta e si ritorna nella fase di boost mode fino a riportarsi al valore di regime. La soglia superiore di comparazione è ottenuta utilizzando una R_{out} stimata, trimmabile dopo aver misurato su chip quella reale, moltiplicata per la corrente di carico (vedi Fig. 2.28).

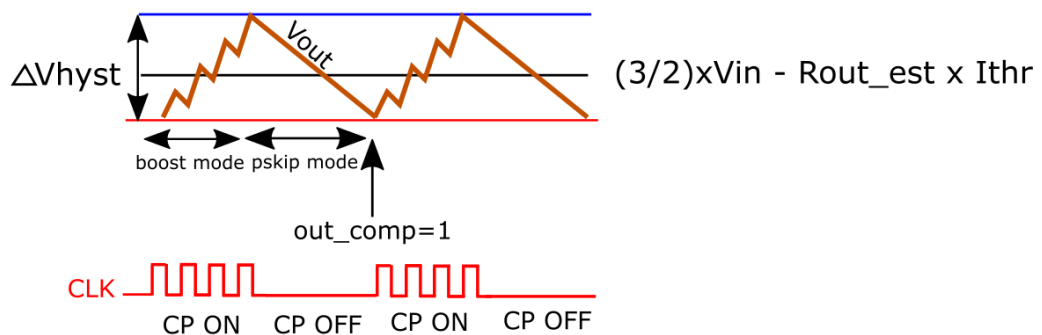


Figura 2.28: Soglie del comparatore per il pulse skip a bassi carichi.

Se $R_{out} \cdot I_{load} > R_{out_est} \cdot I_{thr}$ la charge pump passa da pulse skip a boost mode altrimenti rimane in pulse skip. In questa modalità per tenere carica la Cboot2 si è utilizzata una piccola charge pump ausiliaria.

2.2.5 Strategia di startup

Come spiegato nel paragrafo precedente è necessaria una limitazione di corrente nelle fasi di startup. Per ottenere questa limitazione si usano degli specchi di corrente che per loro natura hanno bisogno di una certa tensione di uscita per poter funzionare. La tensione di uscita è la V_{ds} del MOS della charge pump, sul quale si fa la limitazione di corrente. Questo è il grosso svantaggio che si ha limitando la corrente, e cioè quello di avere dei MOS nella charge pump che lavorano in saturazione con tensione e corrente elevate. Avere grandi tensioni e correnti sul MOS porta a un aumento della potenza dissipata all'interno della charge pump, abbassando il rendimento.

Le fasi dello start up sono mostrate in dettaglio nelle figure che seguono. Cominciando dalla fase di inrush Fig. 2.29, si nota come $V_{out} = V_{in} - 2 \cdot V_{\gamma}$, la $V_{boot1} = 0$ e $V_{boot2} = V_{in}$ essendo le capacità di bootstrap scariche. Anche le capacità flying possono avere un valore di tensione casuale allo startup.

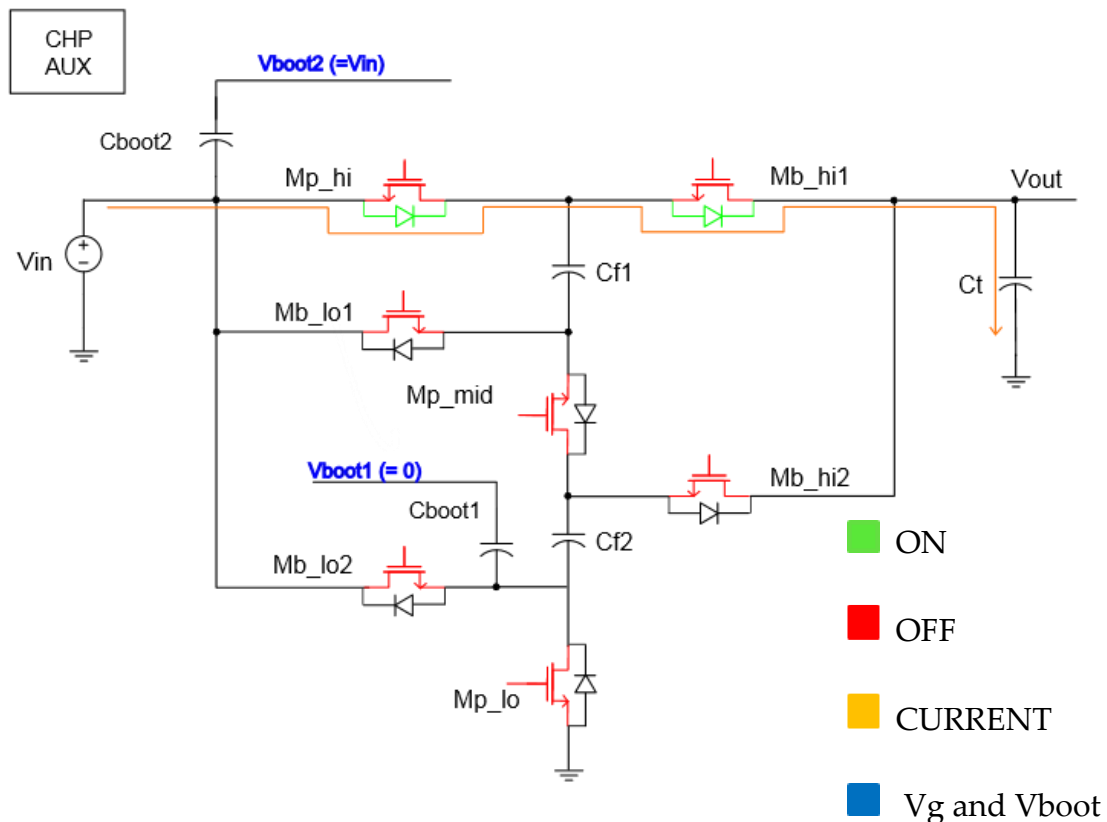


Figura 2.29: Fase di Inrush.

[illegible]

Una volta caricata la Cboot1 si accendono i due MOS Mb_lo1 e Mb_lo2 con Vboot1. La corrente limitata sui due MOS scorre attraverso i diodi di body di Mb_hi1 e Mb_hi2 come mostrato in Fig. 2.31. Questa corrente scarica le flying e in particolare scarica più velocemente quella più carica. Questo perché la Vds dello specchio relativo al ramo dove la flying è più carica è maggiore e quindi fornisce una corrente maggiore. Con questo meccanismo le due flying tendono a raggiungere la stessa tensione. La carica che perdono le due flying è usata per caricare la capacità tank e far salire la tensione Vout.

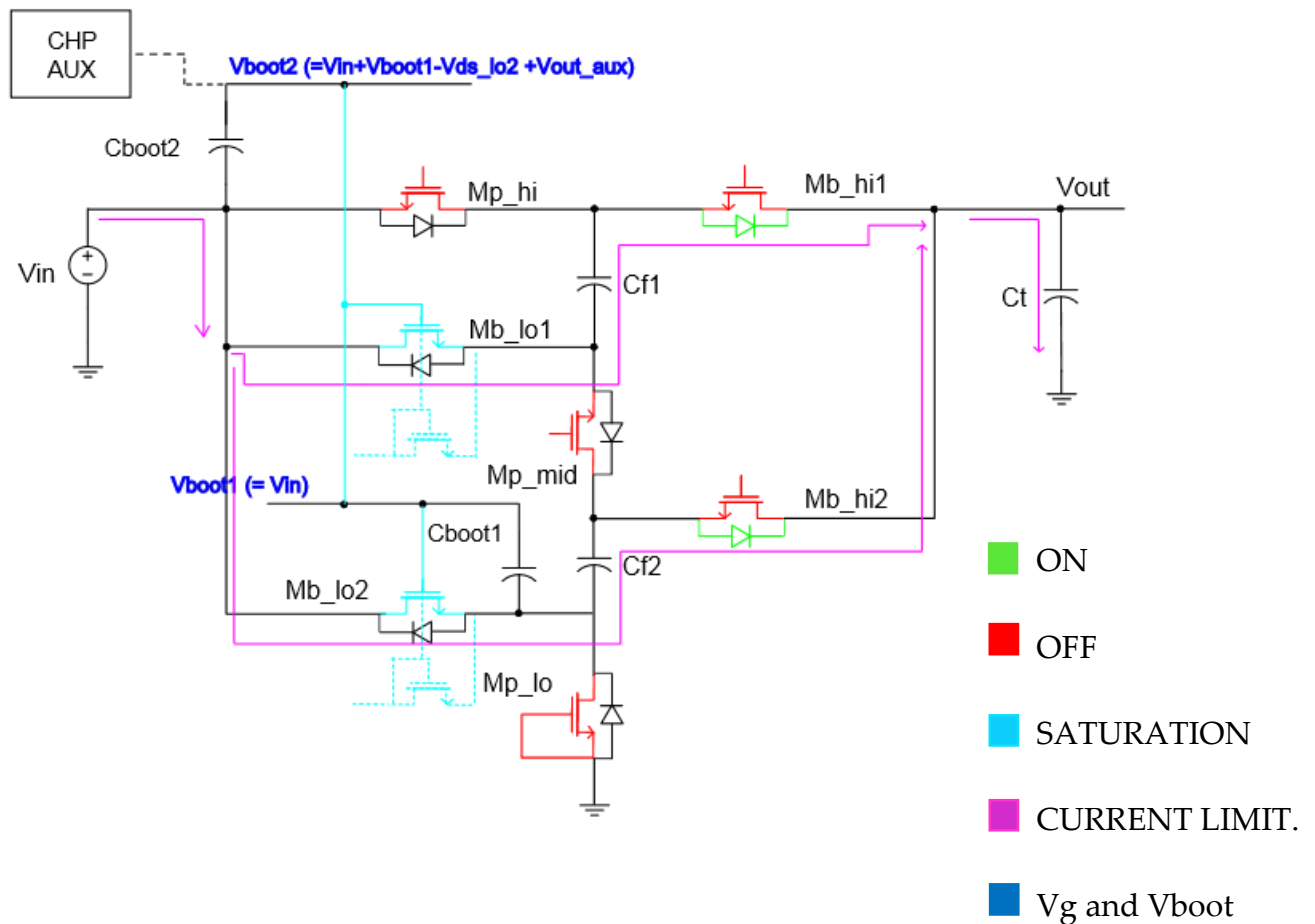


Figura 2.31: Scarica delle capacità flying.

L'ultima fase della sequenza di startup consiste nella carica di C_{boot2} con C_{boot1} e con la charge pump ausiliaria. Le altre considerazioni sono le stesse della fase precedente.

Dopo quest'ultima fase si riparte dalla fase successiva all'inrush ripetendo la sequenza fino a che $V_{out} > V_{in}$. A quel punto si ripassa in boost mode senza corrente limitata.

La sequenza di startup completa è mostrata di seguito in Fig. 2.32.

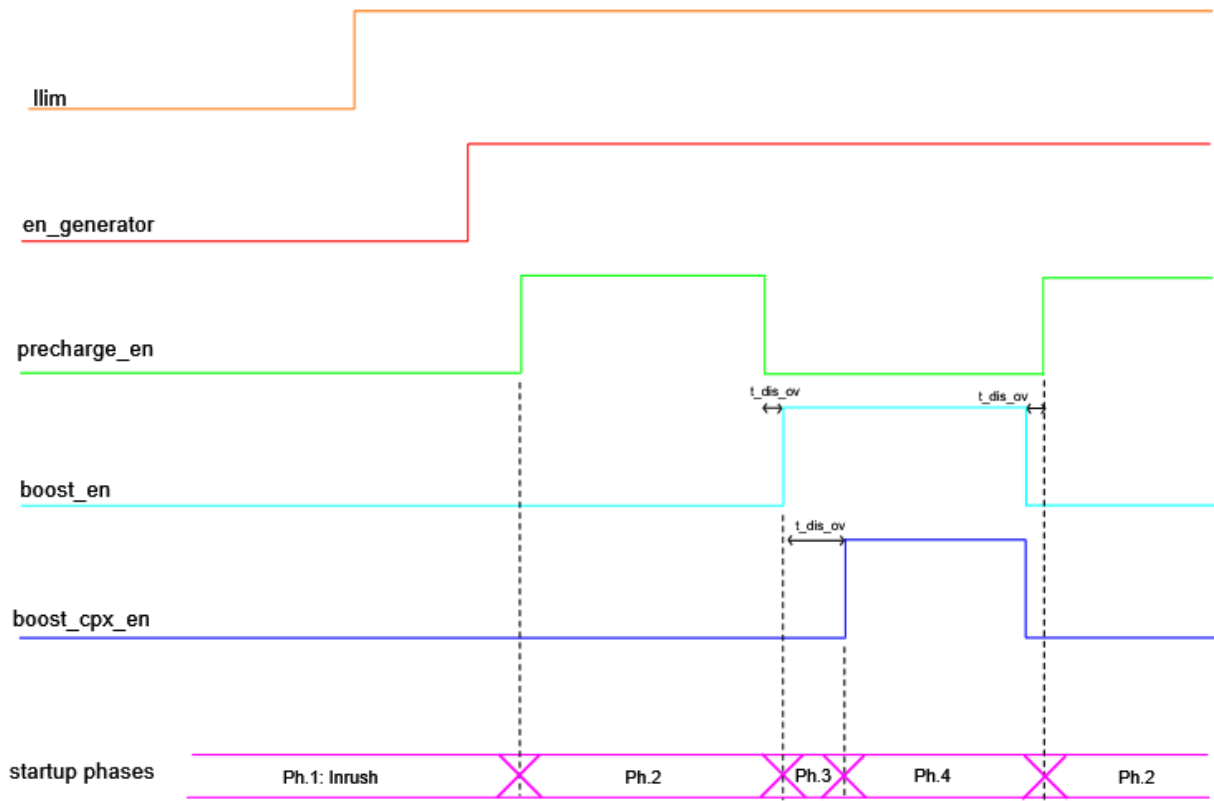


Figura 2.32: Sequenza di startup.

Dove Ph.1, Ph.2, Ph.3 e Ph.4 rappresentano rispettivamente le fasi di inrush, di carica della Cboot1, dell'equilibrio sulle tensioni delle capacità flying e di carica della Cboot2.

2.2.6 Modello Excel per ottimizzare l'area occupata dai MOS

Il modello è stato utilizzato per ottimizzare l'area attiva occupata dai MOS della charge pump fissata la R_{out} e quindi la R_{on} e l'overdrive dei vari dispositivi. La stessa analisi è stata ripetuta per le due fasi di precharge e di boost.

Cominciamo dalla fase di precharge assumendo la seguente convenzione, che permette di snellire la dicitura delle relazioni:

$p_{lo} \Rightarrow 0$

$p_{mid} \Rightarrow 1$

$p_{hi} \Rightarrow 2$

dove p_{lo} , p_{mid} , p_{hi} indicano i MOS a cui si fa riferimento nella fase di precharge.

L'area totale è definita come:

$A_{pTOT} = M_0 \cdot W \cdot n_f \cdot (l_0 + l_1 \cdot \alpha_1 + l_2 \cdot \alpha_2)$ dove n_f è il numero di finger del dispositivo, M il multiplier, $\alpha_1 = \frac{M_1}{M_0}$ e $\alpha_2 = \frac{M_2}{M_0}$.

La resistenza totale nella fase di precharge è data dalla somma delle R_{on} dei MOS accesi in questa fase, come mostra l'equazione (2.72).

$$R_{pTOT} = R_0 + R_1 + R_2 = \frac{r_0}{M_0} + \frac{r_1}{\alpha_1 \cdot M_0} + \frac{r_2}{\alpha_2 \cdot M_0} = \frac{1}{M_0} \cdot \left(r_0 + \frac{r_1}{\alpha_1} + \frac{r_2}{\alpha_2} \right) \quad (2.72)$$

Dove r è la ρ_{on} dei MOS utilizzati con una certa tensione di overdrive ($\rho_{on} \propto \frac{1}{\text{overdrive voltage}}$). Ottenendo M_0 e sostituendolo in A_{pTOT} si ottiene:

$$A_{pTOT} = \frac{k}{R_{pTOT}} \cdot (l_0 + l_1 \cdot \alpha_1 + l_2 \cdot \alpha_2) \cdot \left(r_0 + \frac{r_1}{\alpha_1} + \frac{r_2}{\alpha_2} \right) = \frac{A_{p0}}{R_{pTOT}} \quad (2.73)$$

Dove A_{p0} non dipende da R_{pTOT} e $k = W \cdot n_f$.

Per determinare α_1, α_2 che minimizzano l'area attiva si è risolto il seguente sistema:

$$\left\{ \begin{array}{l} \frac{dA_{pTOT}}{d\alpha_1} = 0 \quad (2.74) \\ \frac{dA_{pTOT}}{d\alpha_2} = 0 \quad (2.75) \end{array} \right.$$

Risolvendo il sistema otteniamo una espressione polinomiale del sesto ordine con i seguenti coefficienti. Usando il tool add-solver di excel e i coefficienti sotto riportati è stato possibile ricavare le W.

C6	C5	C4	C3	C2	C1	C0
0.107482384	0.054508923	-0.107482384	-0.109017846	-0.107482384	0.054508923	0.107482384

Utilizzando $total_{width} = W_f \cdot n_f = 1mm$ si ottiene $W_0(mm) = M_0$. Così' facendo le W dei vari MOS sono riportate di seguito:

$$W_0(mm) = \frac{1}{R_{pTOT}} \cdot \left(r_0 + \frac{r_1}{\alpha_1} + \frac{r_2}{\alpha_2} \right) \quad (2.76)$$

$$W_1(mm) = W_0 \cdot \alpha_1 \quad (2.77)$$

$$W_2(mm) = W_0 \cdot \alpha_2 \quad (2.78)$$

Con questi valori di W sono stati ricavati i valori di Ron dei switch:

$$R_{on_0}(mohm) = \frac{r_0}{W_0} \cdot 1000 \quad (2.79)$$

$$R_{on_1}(mohm) = \frac{r_1}{W_1} \cdot 1000 \quad (2.80)$$

$$R_{on_2}(mohm) = \frac{r_2}{W_2} \cdot 1000 \quad (2.81)$$

Il valore di A_{p0} è calcolato come segue:

$$A_{p0}(ohm \cdot um^2) = (l_0 + l_1 \cdot \alpha_1 + l_2 \cdot \alpha_2) \cdot \left(r_0 + \frac{r_1}{\alpha_1} + \frac{r_2}{\alpha_2} \right) \quad (2.82)$$

Come per la fase di precharge, anche per la fase di boost possono essere ripetute le stesse considerazioni. Intanto per semplificare la notazione è possibile definire una convenzione:

$b_lo \Rightarrow 0$

$b_hi \Rightarrow 1$

dove b_lo , b_hi indicano i MOS a cui si fa riferimento nella fase di boost.

L'ipotesi che è stata fatta è quella di considerare le stesse dimensioni dei MOS per i due rami, in modo da fare il calcolo per un solo ramo. Non ci sono motivi, infatti, per dimensionarli diversamente, dato che sono attraversati dalla stessa corrente.

L'area totale è definita come:

$A_{bTOT} = 2 \cdot M_0 \cdot W \cdot n_f \cdot (l_0 + l_1 \cdot \alpha_1)$ dove n_f è il numero di finger del dispositivo, M il multiplier, $\alpha_1 = \frac{M_1}{M_0}$.

La resistenza totale nella fase di boost è pari a:

$$R_{bTOT} = \frac{R_0 + R_1}{2} = \frac{1}{2} \cdot \left(\frac{r_0}{M_0} + \frac{r_1}{\alpha_1 \cdot M_0} \right) = \frac{1}{2 \cdot M_0} \cdot \left(r_0 + \frac{r_1}{\alpha_1} \right) \quad (2.83)$$

Come sopra ricavando M_0 e sostituendo in A_{bTOT} si ricava:

$$A_{bTOT} = \frac{k}{R_{bTOT}} \cdot (l_0 + l_1 \cdot \alpha_1) \cdot \left(r_0 + \frac{r_1}{\alpha_1} \right) = \frac{A_{b0}}{R_{pTOT}} \quad (2.84)$$

Per determinare α_1 che minimizza l'area attiva, si deriva A_{pTOT} e si pone a zero:

$$\frac{dA_{pTOT}}{d\alpha_1} = 0 \quad (2.85)$$

Risolvendo l'eqn. 2.85 si ricava α_1 :

$$\alpha_1 = \sqrt{\frac{r_1 \cdot l_0}{l_1 \cdot r_0}} \quad (2.86)$$

E quindi le W dei vari MOS sono pari a:

$$W_0(mm) = \frac{1}{2 \cdot R_{bTOT}} \cdot \left(r_0 + \frac{r_1}{\alpha_1} \right) \quad (2.87)$$

$$W_1(mm) = W_0 \cdot \alpha_1 \quad (2.88)$$

L'area totale nella fase di boost A_{b0} è data dalla relazione seguente:

$$A_{b0}(ohm \cdot um^2) = (l_0 + l_1 \cdot \alpha_1) \cdot \left(r_0 + \frac{r_1}{\alpha_1} \right) \quad (2.89)$$

Con la stessa procedura si è calcolata l'area attiva totale:

$$A_{TOT} = A_{pTOT} + A_{bTOT} = \frac{A_{p0}}{R_{pTOT}} + \frac{A_{b0}}{R_{bTOT}} = \frac{1}{R_{pTOT}} \cdot (A_{p0} + A_{b0} \cdot \beta) \quad (2.90)$$

Con β definito come rapporto tra $\frac{R_{pTOT}}{R_{bTOT}}$.

Considerando ad esempio la Rout nel limite FSL (Eqn. 2.91) si ricava la resistenza totale nella fase di precharge:

$$R_{out}^{FSL} = \frac{T_{ck}}{T} \cdot \left(\frac{R_{pTOT}}{4} + R_{bTOT} \right) = \frac{T_{ck}}{T} \cdot R_{pTOT} \cdot \left(\frac{1}{4} + \frac{1}{\beta} \right) \quad (2.91)$$

Sostituendo l'eqn. 2.91 nell'eqn.2.90 si ricava l'area attiva totale in funzione della Rout:

$$A_{TOT} = \frac{T_{ck}}{T} \cdot \frac{1}{R_{out}^{FSL}} \cdot \left(\frac{1}{4} + \frac{1}{\beta} \right) \cdot (A_{p0} + A_{b0} \cdot \beta) \quad (2.92)$$

Determinando poi il β che consente di minimizzare l'area attiva totale, usando l'Eqn. 2.93, si ricavano poi le W ottime che consentono di minimizzare l'area attiva ottenendo la Rout fissata.

$$\frac{dA_{TOT}}{d\beta} = 0 \quad (2.93)$$

$$\beta = 2 \cdot \sqrt{\frac{A_{p0}}{A_{b0}}} \quad (2.94)$$

Con il β ricavato, si può determinare la resistenza totale nella fase di precharge Eqn. 2.95.

$$R_{pTOT} = R_{bTOT} \cdot \beta = R_{bTOT} \cdot 2 \cdot \sqrt{\frac{A_{p0}}{A_{b0}}} \quad (2.95)$$

Usando l'equazione della R_{pTOT} e della Rout si ricava il seguente sistema:

$$\left\{ \begin{array}{l} R_{out}^{FSL} = \frac{T_{ck}}{T} \cdot R_{pTOT} \cdot \left(\frac{1}{4} + \frac{1}{\beta} \right) \quad (2.96) \\ R_{pTOT} = R_{bTOT} \cdot \beta \quad (2.97) \end{array} \right.$$

Dal quale risolvendolo si ricavano le relazioni della resistenza totale nella fase di precharge e di boost in funzione della Rout:

$$R_{pTOT} = \frac{R_{out}^{FSL}}{\frac{T_{ck}}{T} \cdot \left(\frac{1}{4} + \frac{1}{2} \cdot \sqrt{\frac{A_{b0}}{A_{p0}}} \right)} \quad (2.98)$$

$$R_{bTOT} = \frac{R_{pTOT}}{2 \cdot \sqrt{\frac{A_{p0}}{A_{b0}}}} \quad (2.99)$$

Infine utilizzando l'Eqn. 2.100 sottostante si ricava l'area attiva totale in funzione della R_{out} e delle aree attive nella fase di precharge e boost:

$$A_{TOT0}(ohm \cdot \mu m^2) = A_{TOT} \cdot R_{out}^{FSL} = \left(\frac{A_{p0}}{R_{pTOT}} + \frac{A_{b0}}{R_{bTOT}} \right) \cdot R_{out}^{FSL} \quad (2.101)$$

Di seguito è mostrata l'interfaccia del modello Excel realizzato:

Target Rout_FSL [ohm]=	0.06							
Tck [s]=	1.00E-06							
Tdead [s]=	1.50E-08							
T [s]=	4.85E-07							
Ap0	5376.922089		Rptot [ohm] =	0.048923				
Ab0	2557.111044		Rbtot [ohm] =	0.016869				
			Rout_FLS (check) [mohm]	0.06	Total Active Area [μm^2]			
					261490			
beta	2.900160769				511.3609			
					Atot0 (Total area*Rout_FSL) [ohm* μm^2]			
					15689.4			

Fissati la R_{out} , T_{ck} , T_{dead} e T che sono rispettivamente la R_{out} della charge pump, il periodo di switching, il disoverlap e il semiperiodo, e fissando la R_{on} dei switch il modello Excel, utilizzando le relazioni ricavate sopra, si ricava l'area attiva ottima e quindi la W dei MOS con la quale ottenere quella R_{out} fissata.

2.3 Schema complessivo della charge pump

In Figura 2.33 è riportato lo schema complessivo della charge pump. E' possibile osservare oltre ai sette switch anche la presenza di un'ampia circuiteria ausiliaria. In particolare ogni switch è pilotato da un traslatori di livello e da un driver i cui rail di alimentazione, per alcuni di essi, sono forniti da una circuiteria di bootstrap. E' possibile osservare anche la presenza di altri circuiti ausiliari alla charge pump, tra cui una charge pump ausiliaria per mantenere carica la capacità di bootstrap Cboot2 quando la charge pump è ferma (pulse skip mode), un comparatore con isteresi che permette di passare dalla fase di boost a quella di pulse skip per bassi carichi, un comparatore con isteresi più un multiplexer per caricare l'altra capacità di bootstrap Cboot1 con la tensione più grande tra V_{in} e V_{out} (allo startup $V_{in} > V_{out}$), un limitatore di corrente, e un disoverlap che elimina il problema dello shoot-through.

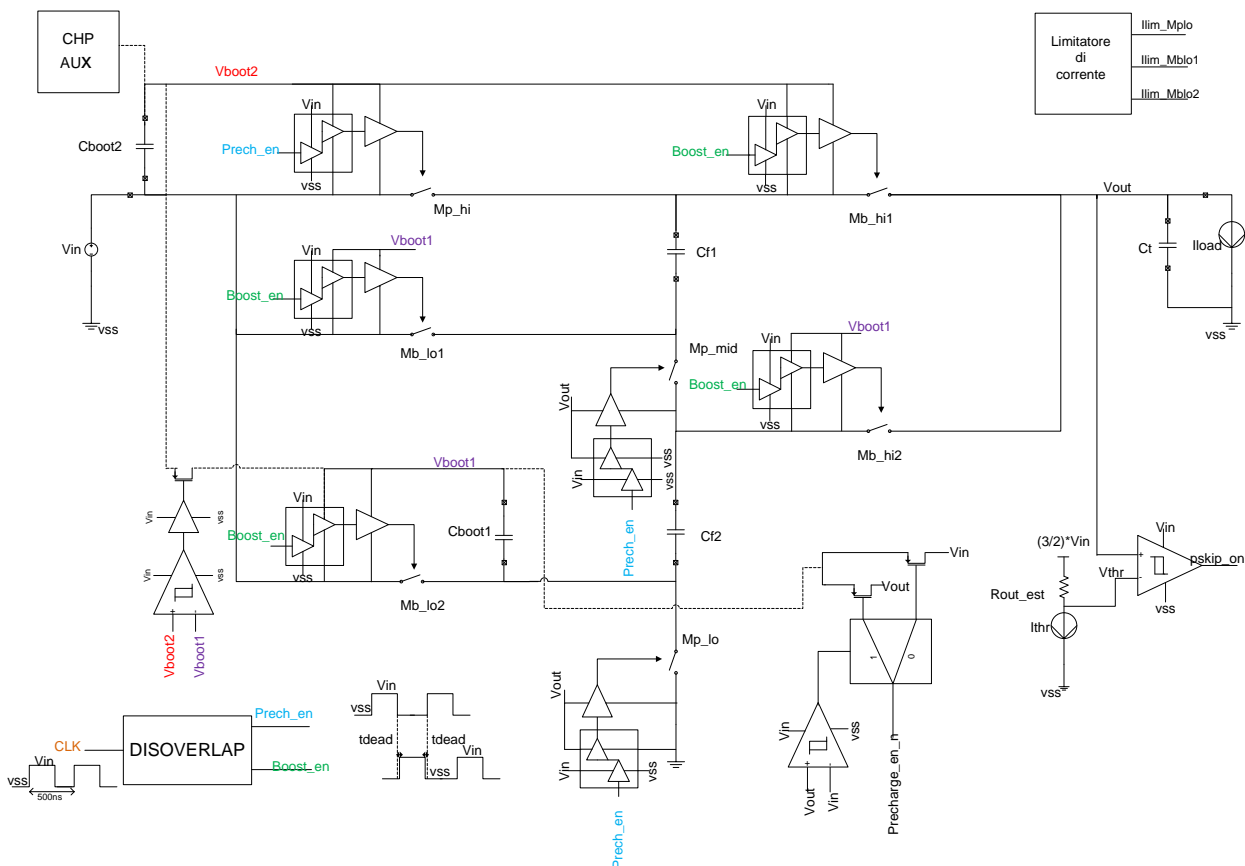


Figura 2.33: Schema complessivo della charge pump

Capitolo 3

3.1 Progettazione transistor level

In Fig. 3.1 è rappresentato il circuito della charge pump progettata. Come mostrato in figura, sono stati utilizzati sette switch NMOS di potenza a 5 V, due capacità di bootstrap, le due capacità flying e la capacità tank sull'uscita.

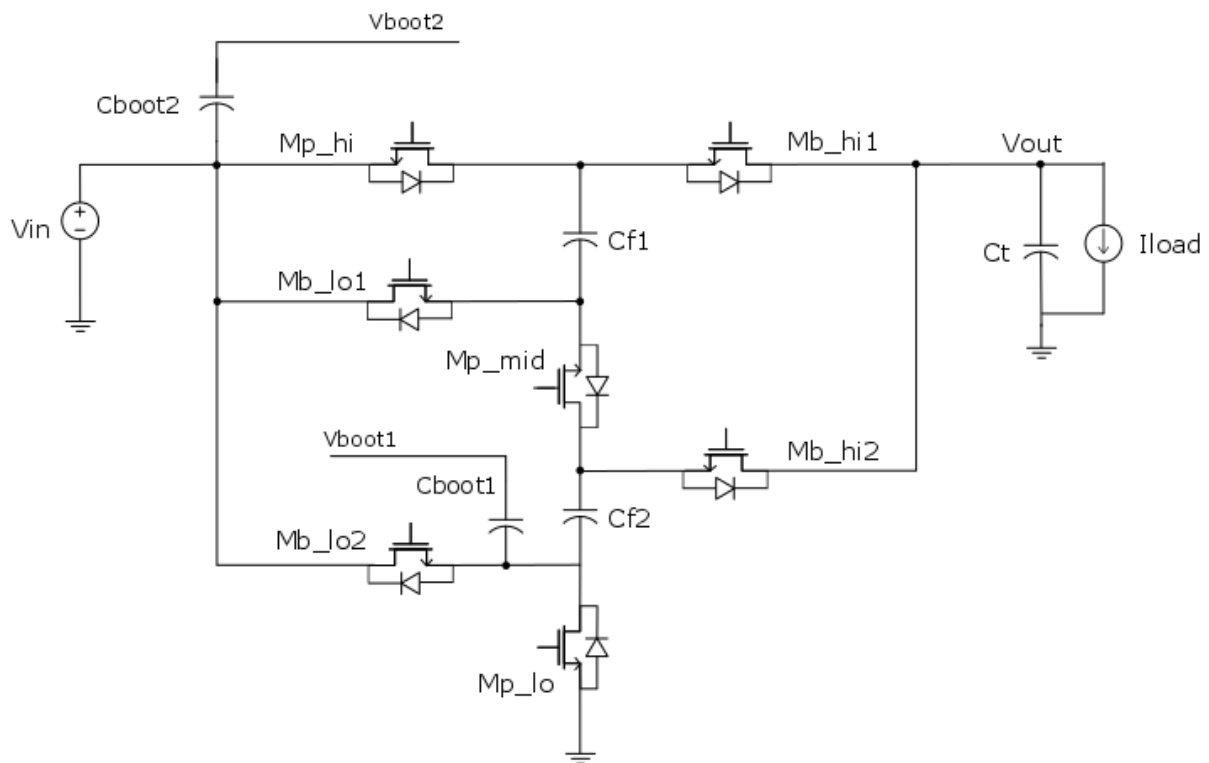


Figura 3.1: Circuito reale della charge pump.

Alcuni NMOS di Fig. 3.1, come ad esempio Mp_hi , hanno la corrente entrante dal source, per come sono messi all'interno del circuito proposto. Solitamente la corrente scorre invece dal drain al source di un NMOS. Il motivo di questo fatto risiede nella presenza del diodo di substrato che, nella fase in cui il switch è spento, deve necessariamente essere interdetto. Ragionando in questo modo e analizzando le tensioni ai capi dei switch quando devono

essere spenti, si ricava come devono essere posti nel circuito scelto. Ad esempio nel caso di Mp_hi quando siamo nella fase di boost in cui è spento, vede sul drain una tensione pari a Vout e sul source una tensione pari a Vin, essendo Vout in boost mode maggiore di Vin, il diodo è interdetto. Lo stesso ragionamento può essere esteso agli altri MOS.

3.2 Progettazione dei switch e delle capacità

Le specifiche iniziali di progetto sono riportate di seguito:

$$I_l = 3 \text{ A}$$

$$T_{ck} = 1 \text{ us}$$

$$t_{dead} = 15 \text{ ns}$$

$$T_1 = T_2 = T = \frac{T_{ck}}{2} - t_{dead} = 0.485 \text{ us}$$

$$\widehat{V_{out}} \geq 3.4V @ V_{in} = 2.5 V$$

Il dimensionamento dei componenti è stato fatto considerando una corrente di 3 A che è maggiore di quella reale richiesta da specifica di 2 A, per avere un pò di margine sul dimensionamento.

La prima analisi riguarda la scelta del limite in cui far lavorare la charge pump. Il confronto è tra il limite FSL e SSL. Di sotto è riportata l'analisi effettuata utilizzando il limite FSL:

usando le ipotesi del limite $\tau_1 \gg T_1 \rightarrow \tau_1 > 3 \cdot T_1$ e $\tau_2 \gg T_2 \rightarrow \tau_2 > 3 \cdot T_2$, indicando con il pedice 1 la fase di precharge e con il pedice 2 quella di boost, e utilizzando la specifica sul valor medio della Vout, è stato dimensionato il limite superiore della resistenza di uscita della charge pump:

$$\widehat{V_{out}} = \frac{3}{2} \cdot V_{in} - R_{out}^* \cdot I_l \geq 3.4V \rightarrow R_{out}^* < 116 \text{ m}\Omega \quad (3.1)$$

Da ricordare che la Rout nel limite FSL dipende dalla Ron dei switch nella fase di precharge e di boost.

Usando il limite SSL, il limite superiore della R_{out} è lo stesso, quello che cambia è la dipendenza della R_{out} soltanto dalle capacità come si vede dall'Eqn. 3.2.

$$R_{out}^* = \frac{T_{ck}}{2} \cdot \left[\frac{1}{2 \cdot C_t} + \frac{1}{C_f} \right] \cong \frac{T_{ck}}{2 \cdot C_f}, \text{ if } C_t \ll C_f \quad (3.2)$$

La non dipendenza della R_{out} dalle R_{on} dei switch sembrerebbe essere un vantaggio e quindi far preferire il limite SSL. In realtà non è così, ponendo la $R_{out}^* = 100 \text{ m}\Omega$ si ottiene dall'Eqn. 3.2 $C_f = 5 \text{ }\mu\text{F} = 4.7 \text{ }\mu\text{F}$. Utilizzando le ipotesi del limite SSL, $T_1 \gg \tau_1 \rightarrow T_1 > 3 \cdot \tau_1$ e $T_2 \gg \tau_2 \rightarrow T_2 > 3 \cdot \tau_2$ (i pedici 1 e 2 hanno lo stesso significato descritto sopra), affinché siano rispettate in ogni fase è necessario che le resistenze totali nella fase di precharge e di boost rispettino due condizioni (Eqn. 3.3 e 3.4).

$$\tau_1 = R_{ptot} \cdot \frac{C_f}{2} < \frac{T}{3} \rightarrow R_{ptot} < \frac{2 \cdot T}{3 \cdot C_f} = 68 \text{ m}\Omega \quad (3.3)$$

$$\tau_2 = R_{btot} \cdot 2 \cdot C_f < \frac{T}{3} \rightarrow R_{btot} < \frac{T}{6 \cdot C_f} = 17 \text{ m}\Omega \quad (3.4)$$

I valori di R_{on} che si ricavano sono molto piccoli, questo implica avere un numero di multiplier dei MOS grande a parità di overdrive ($R_{on}(ov.voltage) \propto 1/M$) e quindi maggiore occupazione di area. Questo limite che sembrava il migliore, perchè non dipendeva dalla R_{on} dei switch, in realtà è peggiore a livello di occupazione di area.

Si è scelto quindi di utilizzare per la fase di progettazione il limite FSL.

Utilizzando il modello Excel (vedi Par. 2.2.6) e ponendo $R_{out}^* = 80 \text{ m}\Omega$ rispettando la relazione (3.1), sono state ottenute le W dei MOS che minimizzano l'area attiva totale occupata, fissata la R_{out} .

Di seguito è riportata una tabella in cui si evidenziano le R_{on} ottenute dal modello Excel, con le rispettive V_{gs} e l'area attiva totale occupata.

	R_{p_hi}	R_{p_mid}	R_{p_lo}	$R_{b_hi_1/2}$	$R_{b_lo_1/2}$
$R_{on} [m\Omega]$	20.2	24.7	20.2	24.7	20.2
$V_{gs} [V]$	V_{out}	V_{in}	V_{out}	V_{in}	V_{out}
<div> Total active area $\rightarrow 196117 \mu m^2$ $\sqrt{\text{Total active area}} \rightarrow 442.85 \mu m$ </div>					

Tabella 3.1: Valori delle R_{on} e dell'area attiva totale fissata la $R_{out}^* = 80 m\Omega$.

Determinati i valori di R_{on} si ricava il limite inferiore delle capacità flying utilizzando le ipotesi del limite (3.5) e (3.6).

$$\tau_1 = R_{ptot} \cdot \frac{C_f}{2} > 3 \cdot T \rightarrow C_f > \frac{6 \cdot T}{R_{ptot}} = 34.7 \mu F \quad (3.5)$$

$$\tau_2 = R_{btot} \cdot 2 \cdot C_f > 3 \cdot T \rightarrow C_f > \frac{3 \cdot T}{2 \cdot R_{btot}} = 32.34 \mu F \quad (3.6)$$

Questi valori di capacità che consentono di rispettare le ipotesi del limite, implicano delle capacità di flying grandi, che occupano più area su PCB. I risultati di simulazione illustrati in tabella 3.2 sono stati ottenuti con due valori di capacità di flying uno molto minore del limite ricavato $10 \mu F$ e uno prossimo al limite inferiore $30 \mu F$.

Lo scopo della simulazione è andare a vedere quanto le R_{out} nei vari corner differiscono. I corner sono del tipo PT, cioè è stato fatto variare il processo e la temperatura. In particolare la dicitura tt e ss indicano i parametri di processo (drogaggi, tensioni di soglia ecc....) con i quali sono stati realizzati i MOS. Il corner tt fissa i parametri fisici tipici dei MOS, mentre il corner ss fissa i parametri fisici peggiori ottenibili dal processo. Come si vede dai risultati della simulazione le R_{out} non differiscono di molto nei vari corner, anche se in realtà il limite FSL non è rispettato.

Questo fatto permette quindi di utilizzare una C_f di valore più basso. Il problema che si evince dai risultati di simulazione è la violazione della specifica $\widehat{V_{out}} \geq 3.4 V$ in alcuni corner. Questo è dovuto al fatto che le R_{out} ottenute nei corner diversi da quello tt @ 27°C sono abbastanza maggiori rispetto al valore fissato.

@ $V_{in} = 2.5V, I_l = 3A$	Cf (10μF) @ 27°C		Cf (10μF) @125°C		Cf (30μF) @ 27°C		Cf (30μF) @125°C	
	tt	ss	tt	ss	tt	ss	tt	ss
Rout_load [mΩ]	93.6	112	127	159	84.3	105	121	154
Vout_avg_load [V]	3.47	3.41	3.37	3.27	3.50	3.44	3.39	3.29
Efficiency [%]	93	91.4	90.3	87.5	93.4	91.7	90.4	87.7

Tabella 3.2: Risultati della simulazione con corner in processo e temperatura con $R_{out}^* = 80 m\Omega$.

Visti i risultati ottenuti, per occupare meno area possibile su PCB abbiamo scelto un valore delle capacità flying pari a $C_f = 15 \mu F$ e una R_{out} pari a $60 m\Omega$, in modo che anche nei corner peggiori, dove la R_{out} aumenta, si rispetti la specifica sul valor medio della V_{out} .

Con questo valore della R_{out} dal modello Excel sono stati ricavati i nuovi valori di R_{on} e di area attiva totale, riportati in tabella 3.3.

@ $V_{in} = 2.5V, I_l = 3A$	Cf (15 μ F) @ 27°C Rout = 60 m Ω		Cf (15 μ F) @125°C Rout = 60 m Ω	
	tt	ss	tt	ss
Rout_load [m Ω]	76	87.2	98.6	120
Vout_avg_load [V]	3.52	3.49	3.45	3.39
Efficiency [%]	94.5	93.7	92.8	91

Tabella 3.3: Valori di R_{on} e di area attiva con $R_{out}^* = 60 m\Omega$.

I risultati di simulazione ottenuti con questo nuovo dimensionamento sono riportati in Tabella 3.4. Si nota come in questo caso in tutti i corner si rispetta la condizione sulla V_{out} .

	Rp_hi	Rp_mid	Rp_lo	Rb_hi_1/2	Rb_lo_1/2
Ron [mΩ]	15.18	18.55	15.18	18.55	15.18
Vgs [V]	Vout	Vin	Vout	Vin	Vout
Total active area $\rightarrow 261490 \mu\text{m}^2$ $\sqrt{\text{Total active area}} \rightarrow 511.36 \mu\text{m}$					

Tabella 3.4: Risultati della simulazione con corner in processo e temperatura con $R_{out}^* = 60 \text{ m}\Omega$.

Per ridurre ulteriormente l'area occupata su PCB dalle capacità flying è stata raddoppiata la frequenza di switching (portandola a 2 MHz). In questo modo le capacità si riducono alla metà del valore precedente $C_f = 7.5 \mu\text{F}$.

Per dimensionare le capacità di bootstrap è stato utilizzato un semplice testbench Fig.3.4, costituito da una capacità che va a pilotare i MOS di potenza realmente utilizzati nella charge pump; lo scopo di questa simulazione è quello di determinare il valore minimo delle capacità di bootstrap che consente di accendere i vari MOS, con la tensione più grande possibile, in modo da ottenere dispositivi più piccoli a parità di R_{on} . La simulazione consiste nel caricare una capacità nella fase di `prech_en` e collegarla ai gate dei MOS che realmente dovrà pilotare, nel caso peggiore tre, all'interno della charge pump. Il valore massimo è invece dato dal tempo necessario per caricare la capacità di bootstrap, che dipende dalla R_{on} dello switch con il quale la capacità è connessa alla sorgente di carica e dal periodo di switching, come mostra la relazione (3.7).

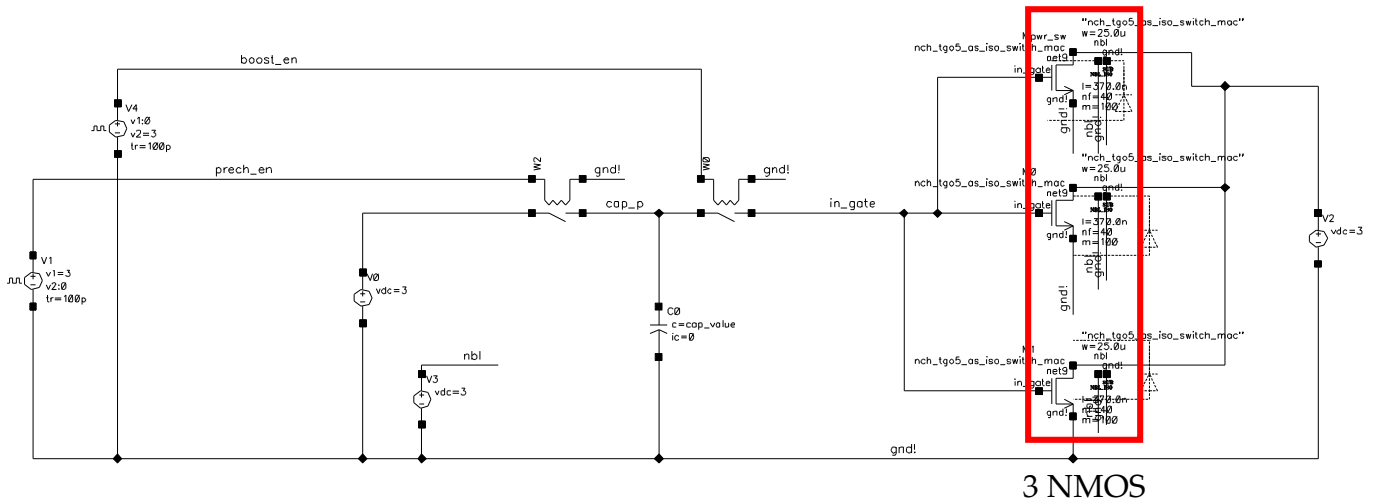


Figura 3.2: Testbench per dimensionare le capacità di bootstrap.

$$C_{boot} < \frac{250n}{R_{sw}} \cong 2.5 \mu F \text{ with } R_{sw} = 100 m\Omega (3.7)$$

I risultati di simulazione sono riportati nella figura 3.5, dove sono riportate le tensioni di gate dei MOS che la capacità di bootstrap deve pilotare. Si vede come il limite inferiore sia dato da un valore di capacità pari a 100 nF. È infatti il grafico con la tensione più vicina a quella con cui la capacità è stata caricata.

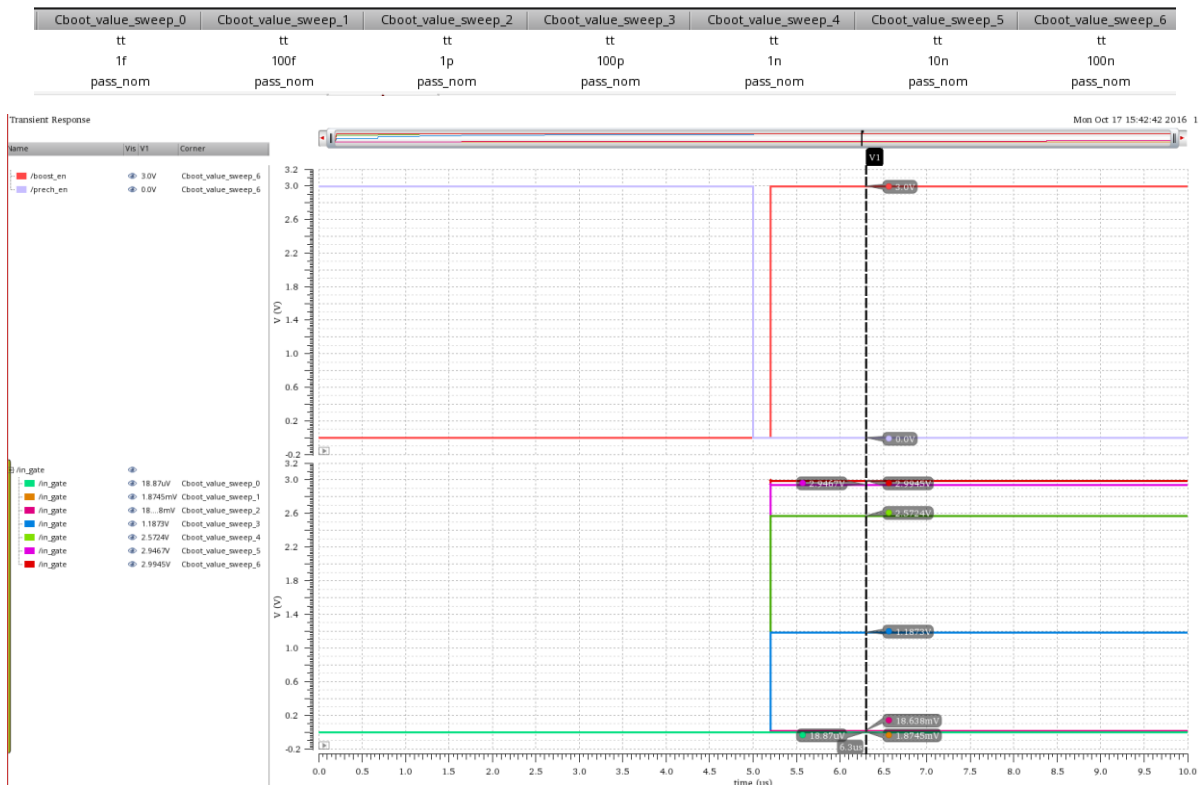


Figura 3.3: Risultati della simulazione per dimensionare le capacità di bootstrap.

La capacità tank è dimensionata in base al ripple desiderato all'uscita e alla frequenza di switching. La capacità tank si scarica a corrente costante in fase di precharge, quindi è possibile utilizzare la relazione (3.8):

$$C = \frac{I \frac{T_{ck}}{2}}{\Delta V_{out}} = 25 \mu F \quad (3.8)$$

Con ΔV_{out} pari al ripple che si vuole sull'uscita fissato a 20 mV e T_{ck} periodo di switching.

Lo svantaggio di aver raddoppiato la frequenza è quello di aumentare le perdite switching (vedi Eqn. 2.71), che come abbiamo visto nel capitolo 2 sono dell'ordine di decine di mW, contro i W della potenza d'ingresso (si lavora ad alte correnti). Comunque le perdite switching sono trascurabili.

$$\eta = \frac{P_{out}}{P_{sw} + P_{in}} \cong \frac{P_{out}}{P_{in}} \quad (3.9)$$

3.3 Scelta delle capacità commerciali

Abbiamo scelto capacità ceramiche a montaggio superficiale. Il fornitore è Murata²⁷. Le caratteristiche più importanti che sono state prese in considerazione nella fase di scelta sono riportate di seguito:

- Tensione operativa
- Dimensioni
- Valore della capacità after derating
- Frequenza del picco di risonanza
- Resistenza equivalente serie (ESR)
- Induttanza equivalente serie (ESL)
- Valore di capacità in funzione della temperatura

²⁷ Sito web: www.Murata.com

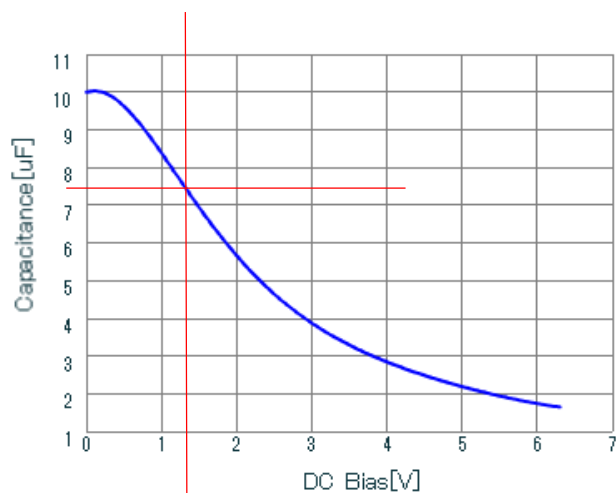
In particolare la scelta è ricaduta sulle capacità di dimensioni minime, per minimizzare l'occupazione di area su PCB come da specifica, tali però da garantire un valore di capacità prossimo a quello scelto nel dimensionamento, alle tensioni a cui devono lavorare.

A tale scopo i valori nominali delle capacità commerciali sono maggiori di quelli ottenuti dal dimensionamento (vedi grafici Capacità Vs DC bias).

Di seguito sono riportate le caratteristiche elettriche delle capacità scelte, prese direttamente dal sito del fornitore:

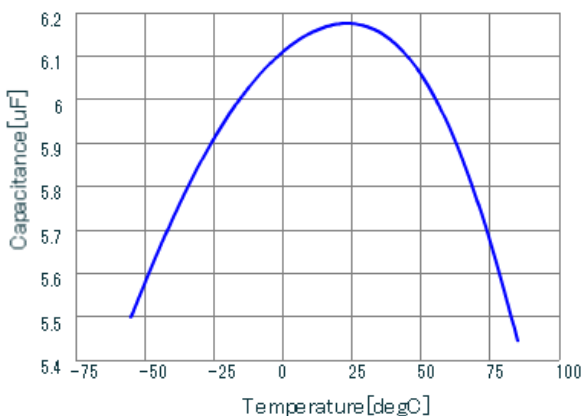
Capacità Flying

Murata Global Part No.	Size(mm/inch)	Temp.Chara.	Cap.Value	Cap.Tol	Volt.
GRM155R60J106ME15	1005M/0402	X5R	10uF	+/-20%	6.3V

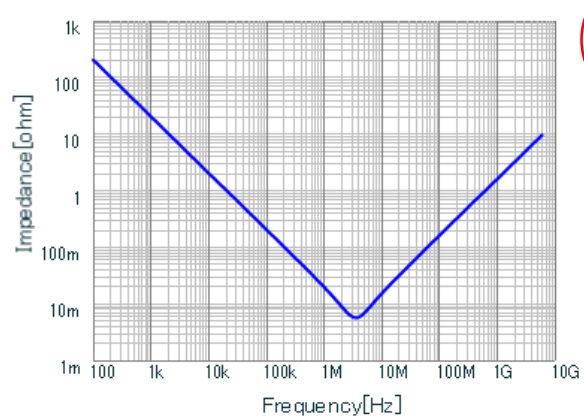


GRM155R60J106ME15 C-DC bias, Capacitance, 25degC, AC0.5Vrms

Alla tensione di 1.5 V, la massima a cui si trovano a lavorare le capacità flying, si ottiene un valore di capacità prossimo a quello dimensionato e pari a $7.5 \mu\text{F}$.



GRM155R60J106ME15 C-Temp, Capacitance, DC1.5V, AC0.1Vrms



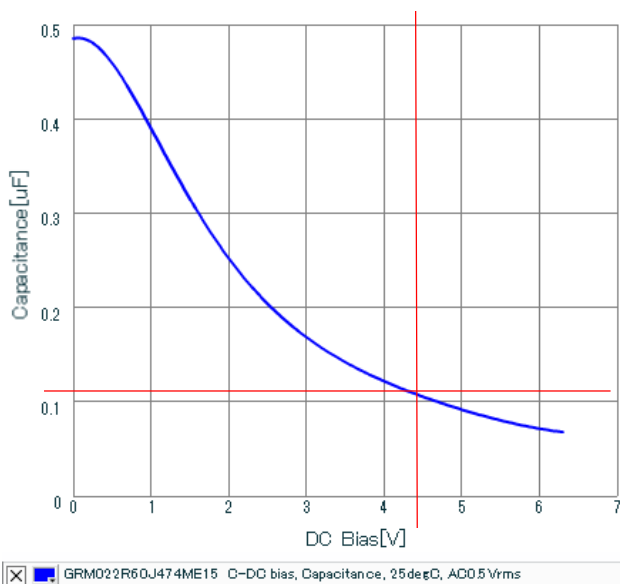
GRM155R60J106ME15 |Z|, 25degC, SimpleModel

GRM155R60J106ME15
C: 7.70e-6[F]
L: 2.55e-10[H]
R: 5.68e-3[ohm]

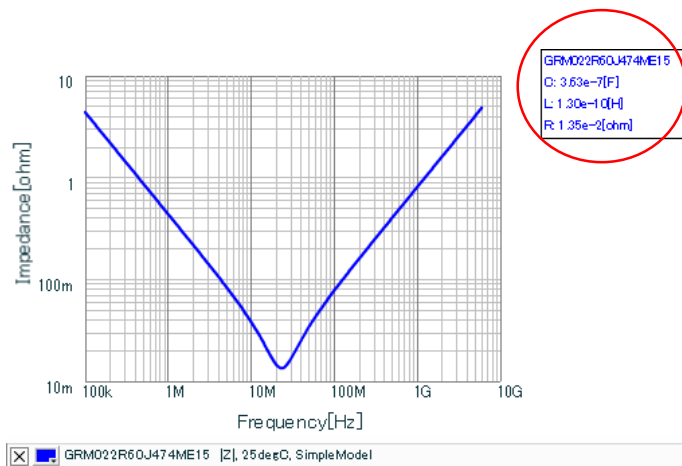
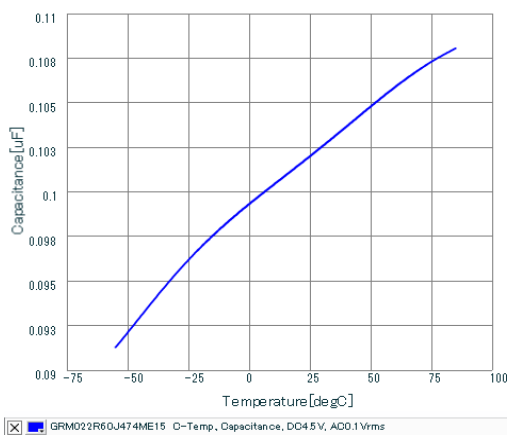
Il picco di risonanza è intorno a 2.37 MHz e quindi a 2 MHz che è la frequenza a cui la charge pump lavora, il comportamento è ancora capacitivo. Nel cerchio rosso sono evidenziati i parametri di ESR ed ESL che saranno usati nelle simulazioni con i parassiti.

Capacità di bootstrap

Murata Global Part No.	Size(mm/inch)	Temp.Chara.	Cap.Value	Cap.Tol	Volt.
GRM022R60J474ME15	0402M/01005	X5R	0.47uF	+/-20%	6.3V



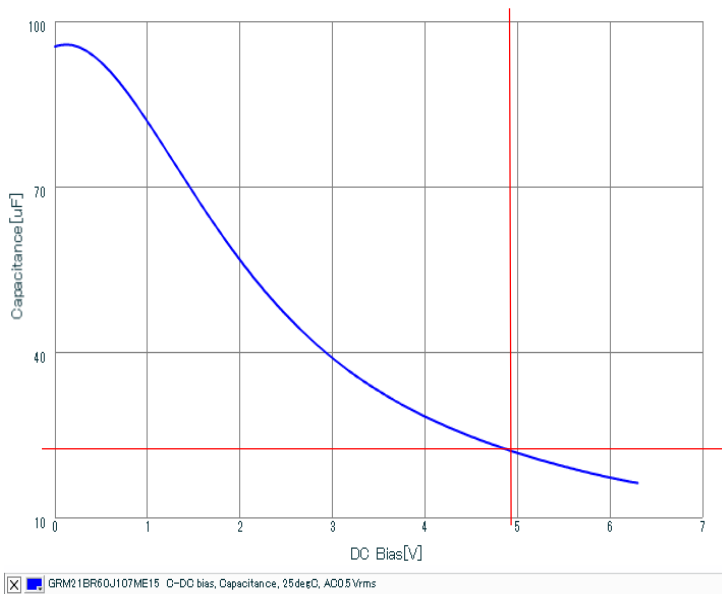
Alla tensione di 4.5 V, la massima a cui si trovano a lavorare le capacità di bootstrap, si ottiene un valore di capacità prossimo a quello dimensionato e pari a 100nF.



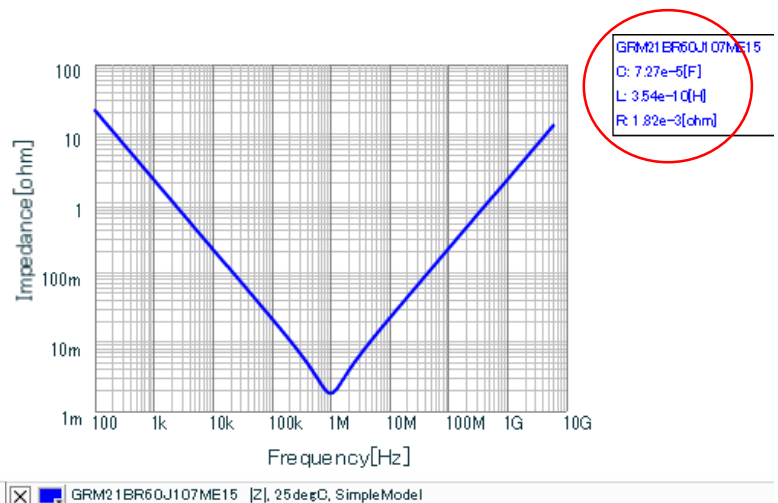
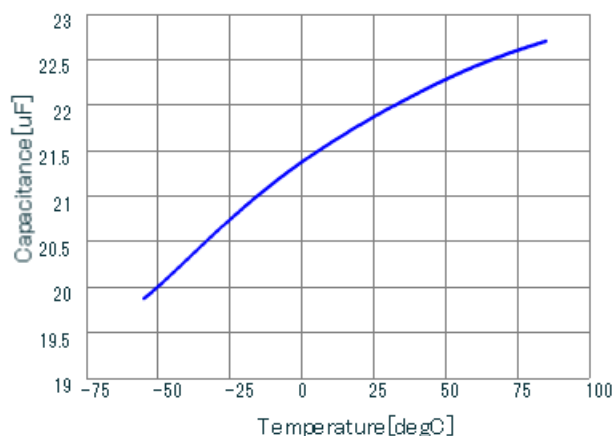
Nel cerchio rosso sono evidenziati i parametri di ESR ed ESL che saranno usati nelle simulazioni con parassiti.

Capacità tank

Murata Global Part No.	Size(mm/inch)	Temp.Chara.	Cap.Value	Cap.Tol	Volt.
GRM21BR60J107ME15	2012M/0805	X5R	100uF	+/-20%	6.3V



Alla tensione di 5 V, la massima tensione a cui si trovano a lavorare le capacità di bootstrap, si ottiene un valore di capacità prossimo a quello dimensionato e pari a 25 μF .



Nel cerchio rosso sono evidenziati i parametri di ESR ed ESL che saranno usati nelle simulazioni con parassiti.

3.4 Bill of Material (BOM)

Di seguito è riportata la BOM dei componenti esterni utilizzati, con le relative dimensioni su PCB:

ITEM	QTY	DESCRIPTION	SIZE (mm/inch)	Cap. Value	Cap. Tol	Volt	PART NUMBER	DISTRIBUTOR
1	2	Flying caps	1005/0402	10 μ F	+/- 20%	6.3V	GRM155R60J106ME15	Murata
2	2	Bootstrap caps	0402/01005	0.47 μ F	+/- 20%	6.3V	GRM022R60J474ME15	Murata
3	1	Tank cap	2012/0805	100 μ F	+/- 20%	6.3V	GRM21BR60J107ME15	Murata

Tabella 3.5: BOM dei componenti off chip.

3.5 Progettazione dei circuiti ausiliari alla charge pump

In questo paragrafo sarà trattata la progettazione dei circuiti ausiliari alla charge pump, costituita solo da switch e capacità. In particolare si andrà a vedere i blocchi chiave per il funzionamento stesso della charge pump: il limitatore di corrente programmabile, i traslatori di livello, i driver ed i comparatori utilizzati.

3.5.1 Limitatore di corrente

Il limitatore di corrente è utilizzato nella fase di startup, come detto nel capitolo precedente, per evitare picchi di corrente nei diodi di substrato. In Fig. 3.6 è riportato lo schema di principio di questo blocco.

Come mostra la figura è costituito da tre blocchi principali:

- IDAC (convertitore digitale-analogico di corrente)

- P-current mirror
- Code selector

L'IDAC converte un codice digitale binario che proviene dal code selector in una corrente di uscita analogica. Questa corrente passa all'interno di uno specchio di corrente a PMOS con guadagno 1:300, e viene inviata esternamente su uno specchio di potenza ad NMOS con guadagno 1:1000, costituito dal MOS interno alla charge pump dove viene limitata la corrente (Mblo1, Mblo2 e Mplo).

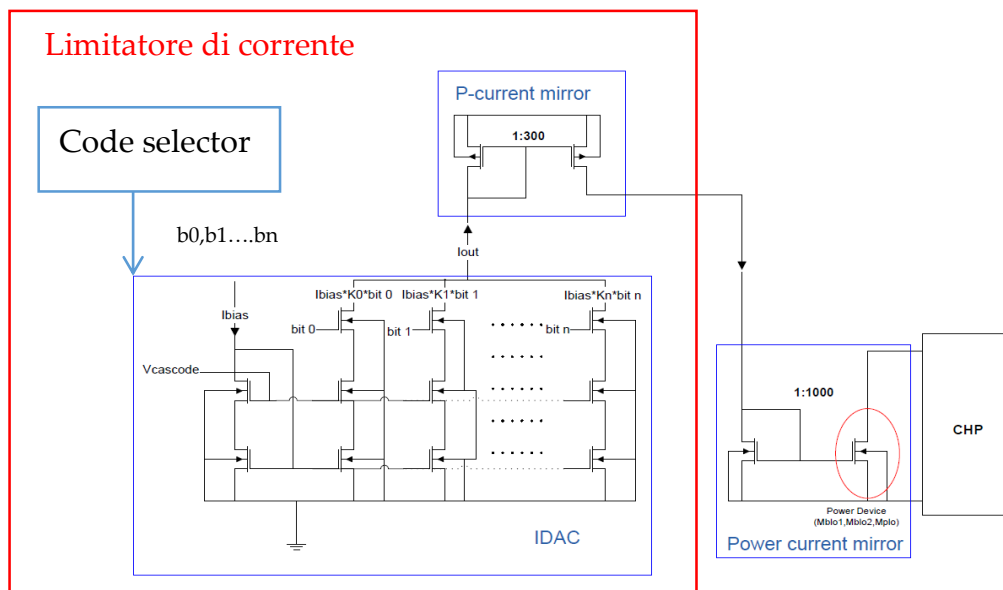


Figura 3.4: Schema di principio del limitatore di corrente.

Di seguito è riportato il simbolo del limitatore di corrente:

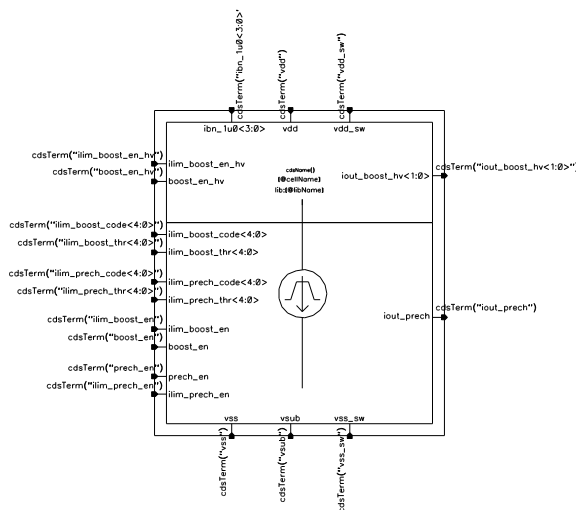


Figura 3.5: Simbolo del limitatore di corrente.

In Fig. 3.8 è mostrata la rete interna al simbolo sopra riportato. All'interno la rete è divisa in due parti, una nel dominio boosted e l'altra nel dominio statico. La differenza sta nel fatto che la corrente uscente dal dominio boosted è quella che entra nel power mirror dei MOS che lavorano con le capacità di bootstrap, in particolare Mblo1 e Mblo2. Mentre l'altra corrente entra nel power mirror del MOS che lavora con Vout, in particolare Mplo.

Come mostra la figura si possono ritrovare per ognuno dei due rami i blocchi evidenziati in Fig.3.6.

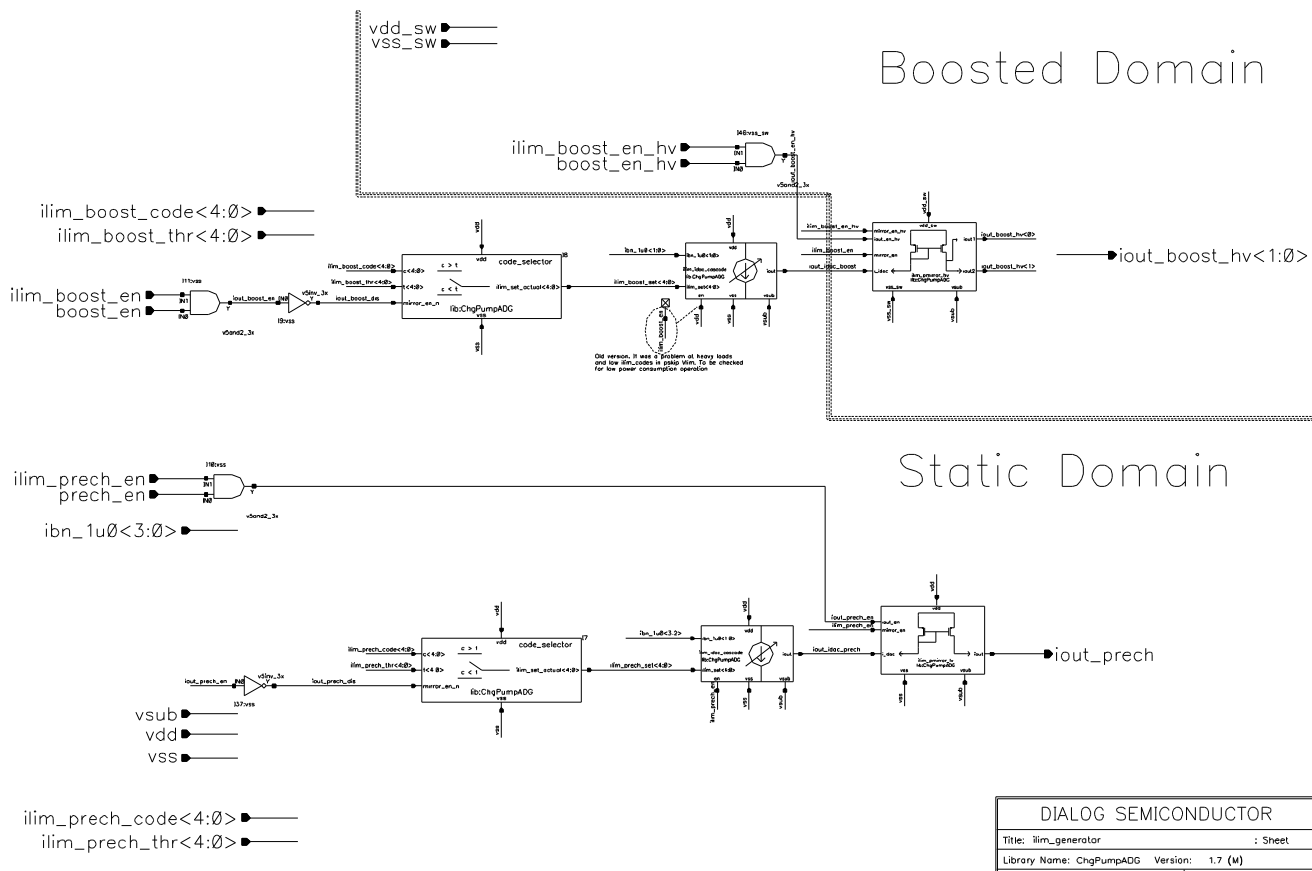


Figura 3.6: Rete interna al simbolo.

Di seguito è riportata l'analisi dettagliata dei singoli blocchi:

IDAC

In Fig.3.9 è riportato lo schema elettrico dell'IDAC utilizzato. È costituito da cinque rami, ognuno dei quali è abilitato da un bit proveniente dal code selector. La struttura utilizzata prevede l'utilizzo di uno specchio cascode a larga dinamica per garantire una maggiore precisione nel rapporto di specchio. Le dimensioni dei MOS sono tali da garantire che tutti lavorino in saturazione. In particolare le W dei MOS sono le stesse per facilitare la fase di layout, mentre le L dei MOS che fanno specchio è maggiore di quella dei MOS cascode, per motivi di matching. In particolare i parametri di matching dipendono dall'overdrive, se la L aumenta a parità di corrente e di W il beta si riduce e l'overdrive aumenta, migliorando il matching. I cinque rami dell'IDAC hanno un numero di multiplier tale da ottenere i rapporti di conversione indicati in figura.

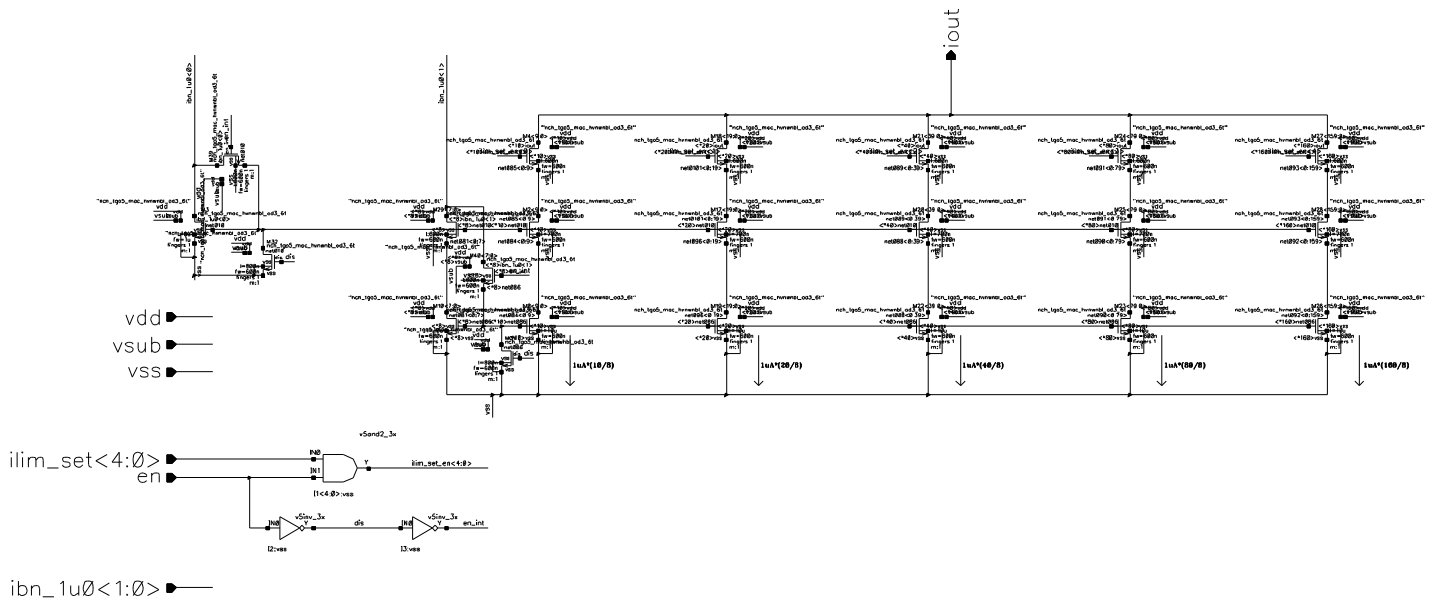


Figura 3.7: Schema elettrico dell'IDAC

In tabella 3.6 sono riportate le varie correnti analogiche che si possono ottenere in uscita dall'IDAC al variare dei 2^5 codici digitali.

	bit4	bit3	bit2	bit1	bit0	Iout_IDAC(μA)
0	0	0	0	0	0	0
1	0	0	0	0	1	0,125
2	0	0	0	1	0	0,25
3	0	0	0	1	1	0,375
4	0	0	1	0	0	0,5
5	0	0	1	0	1	0,625
6	0	0	1	1	0	0,75
7	0	0	1	1	1	0,875
8	0	1	0	0	0	1
9	0	1	0	0	1	1,125
10	0	1	0	1	0	1,25
11	0	1	0	1	1	1,375
12	0	1	1	0	0	1,5
13	0	1	1	0	1	1,625
14	0	1	1	1	0	1,75
15	0	1	1	1	1	1,875
16	1	0	0	0	0	2
17	1	0	0	0	1	2,125
18	1	0	0	1	0	2,25
19	1	0	0	1	1	2,375
20	1	0	1	0	0	2,5
21	1	0	1	0	1	2,625
22	1	0	1	1	0	2,75
23	1	0	1	1	1	2,875
24	1	1	0	0	0	3
25	1	1	0	0	1	3,125
26	1	1	0	1	0	3,25
27	1	1	0	1	1	3,375
28	1	1	1	0	0	3,5
29	1	1	1	0	1	3,625
30	1	1	1	1	0	3,75
31	1	1	1	1	1	3,875

Tabella 3.6: Tabella di conversione dell'IDAC.

P-current mirror

In Fig. 3.10 e 3.11 sono riportate le strutture interne del p-current mirror. Quest'ultimo presenta due architetture diverse. Una per i MOS attivi con corrente limitata nella fase di boost (Mb_lo1 e Mb_lo2) e una per il MOS attivo con corrente limitata nella fase di precharge (Mp_lo). In particolare la differenza risiede nel rail di alimentazione con cui lo specchio deve funzionare. Per i MOS che lavorano con le capacità di bootstrap la tensione di alimentazione può superare i 5 V. È necessario proteggere quindi l'IDAC, da cui il p-current mirror riceve la corrente, da tensioni troppo alte. Per farlo è stato usato un MOS HV cascode, in modo che la differenza di potenziale massima cadesse su di esso e non sui MOS a 5 V dell'IDAC. Per il MOS attivo nella fase di precharge non è necessario perché il rail di alimentazione non supera mai i 5 V.

Nelle figure è possibile osservare la presenza di una capacità nello specchio a PMOS. Lo scopo di questa capacità è quello di velocizzare l'accensione dello specchio, avendo deciso di lavorare a 2 MHz. In particolare quando il MOS a cui è applicata la limitazione di corrente è spento, perché siamo nella fase in cui non deve accendersi, questa capacità è caricata con la corrente proveniente dall'IDAC. Nel momento in cui il MOS si deve attivare si parte da una tensione di gate superiore, essendo la capacità già parzialmente carica, che fa accendere prima lo specchio. È quindi utile caricare questa capacità il più possibile.

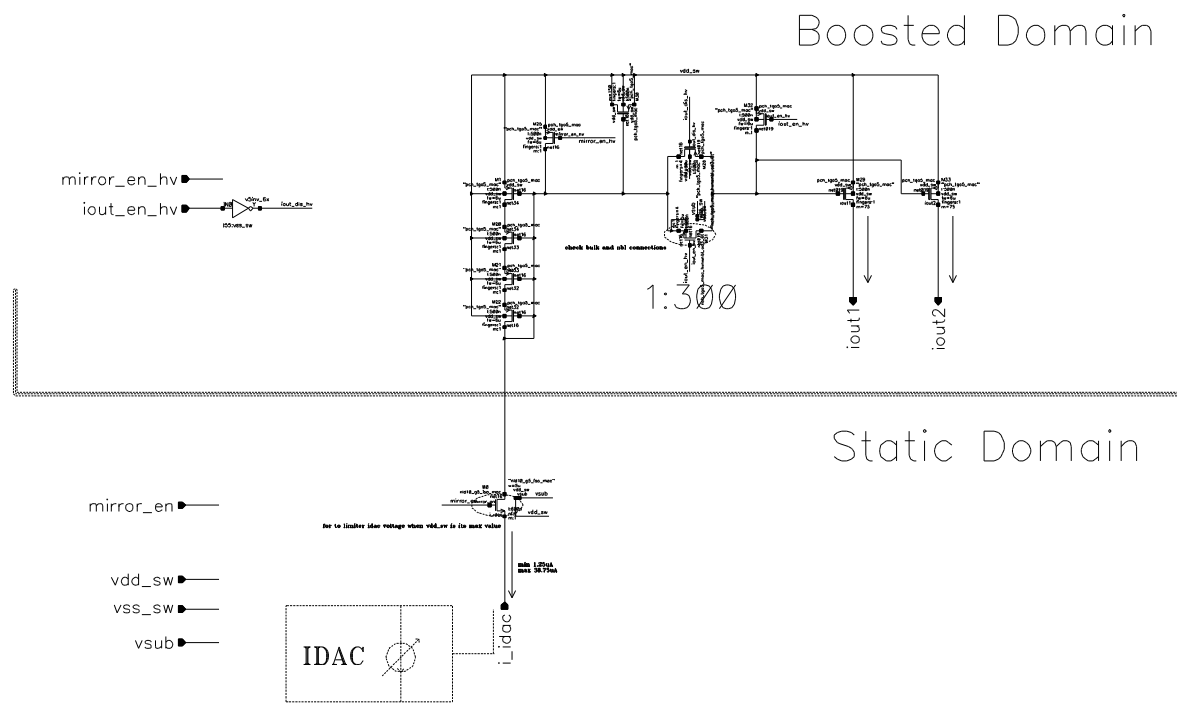


Figura 3.8: P-current mirror per Mb_lo1 e Mb_lo2.

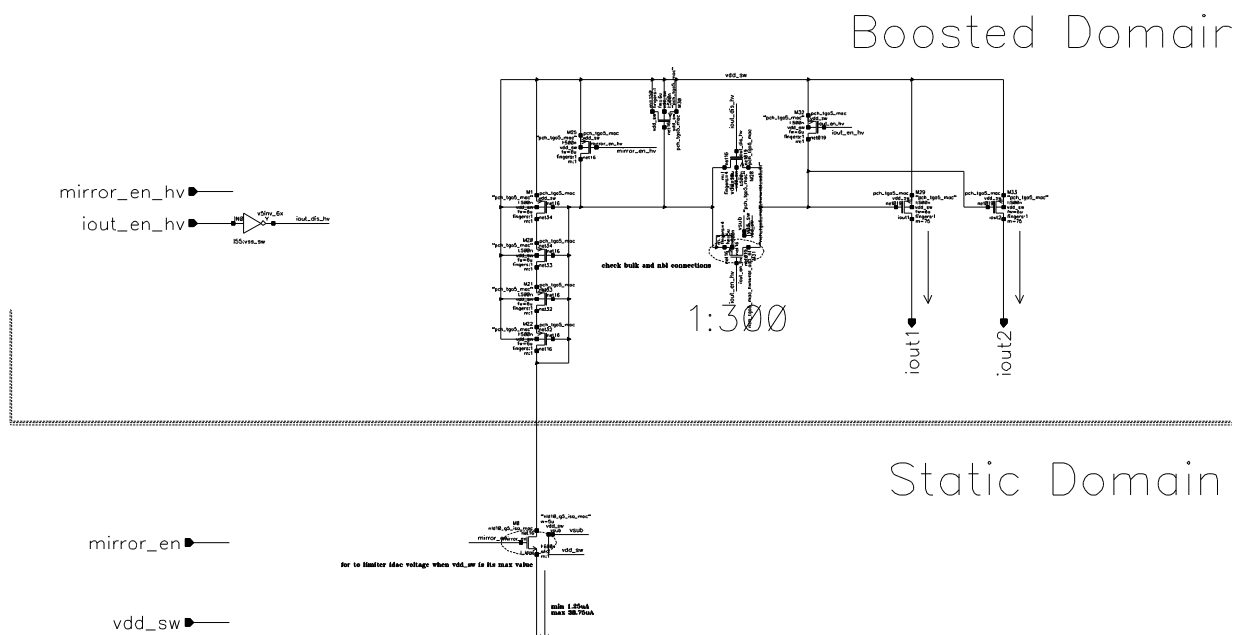


Figura 3.9: P-current mirror per Mp_lo.

Code selector

Per caricare il più possibile la capacità presente nel p-current mirror, la corrente uscente dall'IDAC deve essere elevata. Questo fatto giustifica l'uso del code selector. Questo blocco ha lo scopo di verificare se il codice digitale programmabile (corrispondente alla corrente analogica voluta) è maggiore o meno di una certa soglia digitale piuttosto alta, programmabile anch'essa. Se il codice digitale programmabile è maggiore della soglia digitale si utilizza questo codice per generare la corrente uscente dall'IDAC nella fase di carica della capacità del p-current mirror. Se invece il codice è minore della soglia, quindi la corrente uscente dall'IDAC sarebbe troppo bassa per caricare la capacità, si utilizza come codice in ingresso all'IDAC quello della soglia.

In Fig. 3.12 è riportato lo schema circuitale del blocco. Come evidenziato in figura al suo interno è presente un comparatore, che confronta il codice digitale con quello della soglia. L'uscita del comparatore seleziona tramite un mux quale codice digitale far passare, se il codice programmabile o la soglia programmabile.

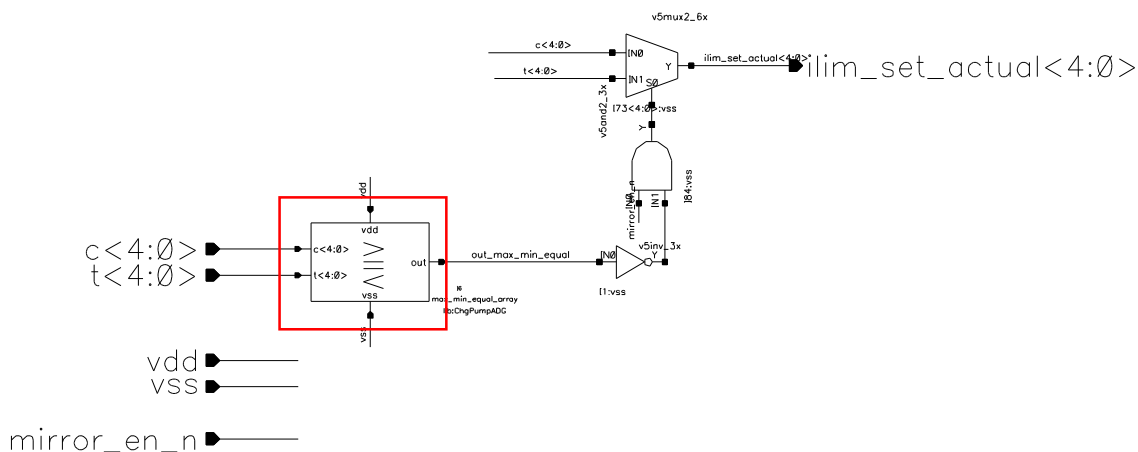


Figura 3.10: Schema circuitale del code selector.

il cui schema circuitale è mostrato in Fig. 3.14.

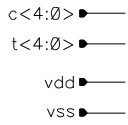


Figura 3.11: Schema circuitale del comparatore del codice.



Figura 3.12: Schema circuitale del comparatore bit a bit

Per validare l'intero limitatore di corrente, sono state fatte alcune simulazioni riportate di seguito:

1. Transiente tipico @ 25°C con $V_{out}=V_{in}$ e $V_{in}=3\text{ V}$, per verificare il corretto funzionamento dell>IDAC e del p-current mirror (vedi Fig. 3.15).
2. Corner PVT, dove si è fatto variare processo, tensione e temperatura (vedi Fig. 3.16):
3. Analisi Monte Carlo per verificare la deviazione standard del limitatore di corrente (vedi Fig. 3.17).

Processo	Tensione (V)	Temperatura (°C)
ss (slow)	$V_{in} \Rightarrow 2.5\ 3\ 3.2$	-40 25 125
ff (fast)	$V_{out} \Rightarrow V_{in} (1.5 \cdot V_{in} - 200\text{m})$	
tt (typ)		
snfp (n-MOS slow and p-MOS fast)		
spfn (p-MOS slow and n-MOS fast)		

4. Caratteristica ingresso-uscita dell>IDAC (vedi Fig. 3.18).

In Fig. 3.15 sono riportati gli andamenti delle correnti uscenti dai vari blocchi del limitatore di corrente, al variare del codice digitale.

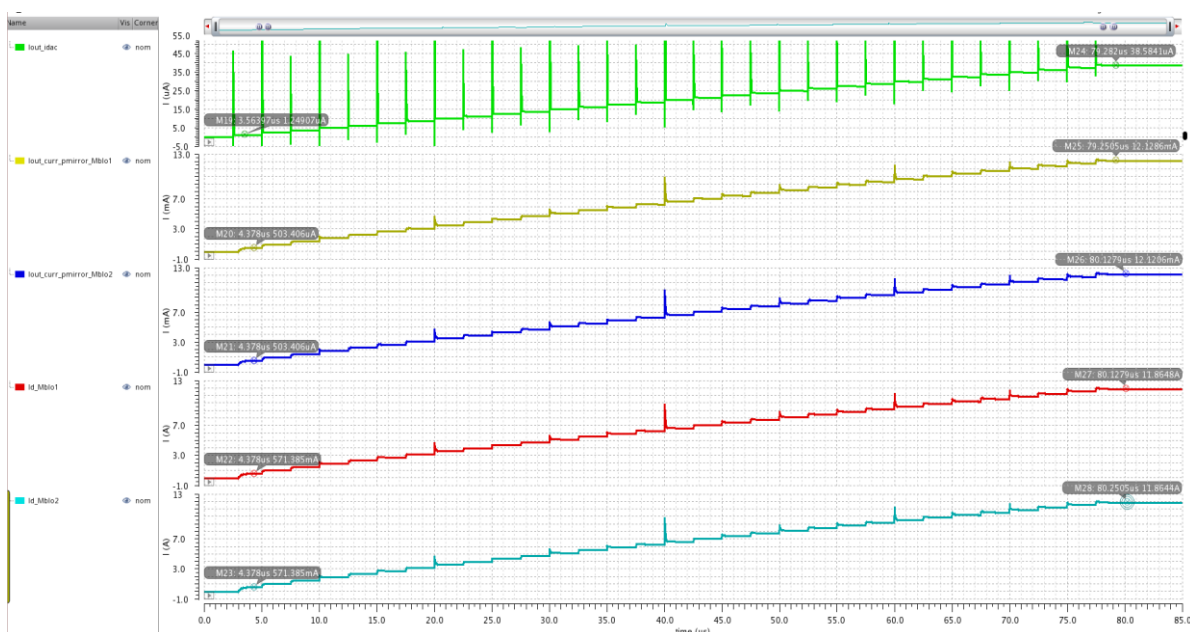


Figura 3.13: Transiente tipico @ 25°C, $V_{in} = 3\text{V}$

Dai corner PVT rappresentati nelle Figure 3.16 e 3.17 è possibile osservare come la corrente uscente dall'IDAC ha poca dispersione rispetto al valore nominale, essendo dotato di specchi cascode a larga dinamica. Mentre la corrente uscente dal p-current mirror ha più dispersione nelle caratteristiche essendo uno specchio semplice.

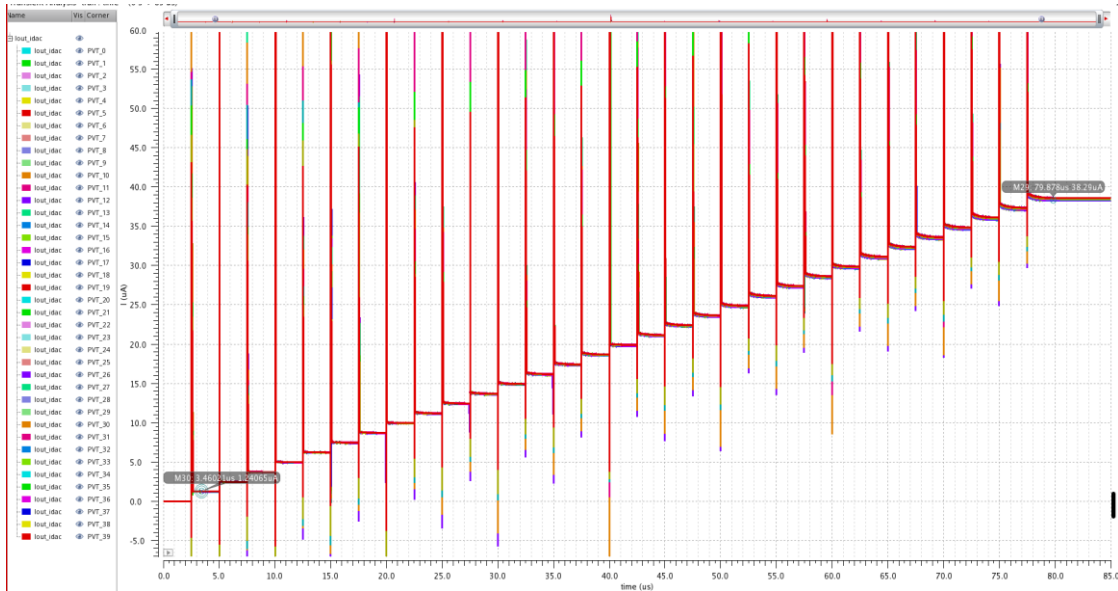


Figura 3.14: Corrente in uscita dall'IDAC nei corner PVT.

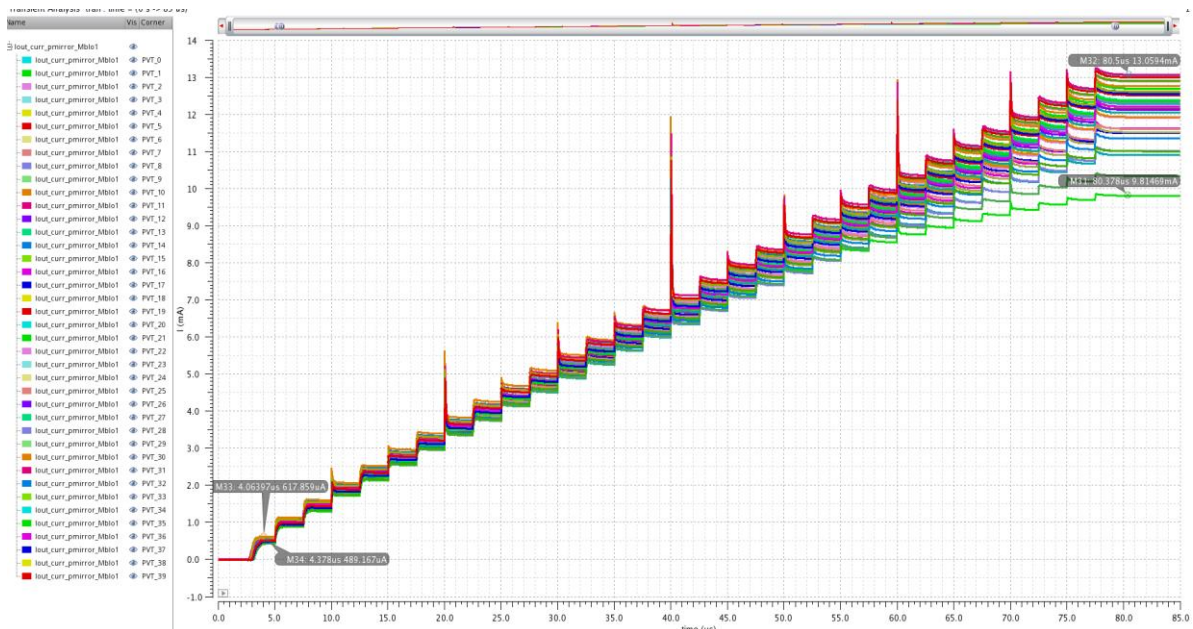


Figura 3.15: Corrent uscente dal p-current mirror nei corner PVT.

In Fig. 3.18 è riportato il confronto tra la caratteristica ingresso-uscita reale dell'IDAC e quella ideale. Come si vede in figura le due caratteristiche sono praticamente coincidenti.



Figura 3.16: Caratteristica ingresso-uscita dell'IDAC: confronto tra reale ed ideale.

Nelle figure seguenti sono riportati i risultati delle simulazioni Monte Carlo effettuate sul limitatore di corrente. Lo scopo di questa analisi è avere informazioni sugli errori di matching e sulla deviazione standard della corrente. Questa analisi è importante quando nei circuiti sono presenti più specchi di corrente, che devono essere il più possibile simmetrici. In questa analisi viene simulato lo stesso circuito usando un numero statistico di combinazioni dei parametri fisici dei MOS, in particolare la tensione di soglia e il beta.

Al termine di questa simulazione è possibile ottenere una stima della deviazione standard della corrente rispetto al valore nominale. Come si vede dalle simulazioni tutti i campioni della corrente uscente dall'IDAC e dal p-current mirror sono compresi tra $\pm 3\sigma$, dove la deviazione standard è stimata tramite fitting con una gaussiana. In Fig. 3.19 sono evidenziati il valore minimo, il valore massimo e il valore nominale della corrente in rosso, mentre in blu è evidenziata la deviazione standard.

Yield Estimate: 100 %(200 passed/200 pts) Confidence Level: <not set> Filter: <not set>						
tb_fast_current_limiter						
lout_idac_value(summary)	100	1.2u	1.311u	1.246u	19.91n	0
lout_idac_value	100	1.2u	info	1.311u	1.246u	19.91n
lout_p_mirror_value(summary)	100	465.8u	554.7u	503.6u	14.52u	0
lout_p_mirror_value	100	465.8u	info	554.7u	503.6u	14.52u
lout_value(summary)	100	513.9m	638.6m	572.4m	22.54m	0
lout_value	100	513.9m	info	638.6m	572.4m	22.54m

Figura 3.17: Risultati analitici analisi Montecarlo @ Vin=3V, 25 °C.

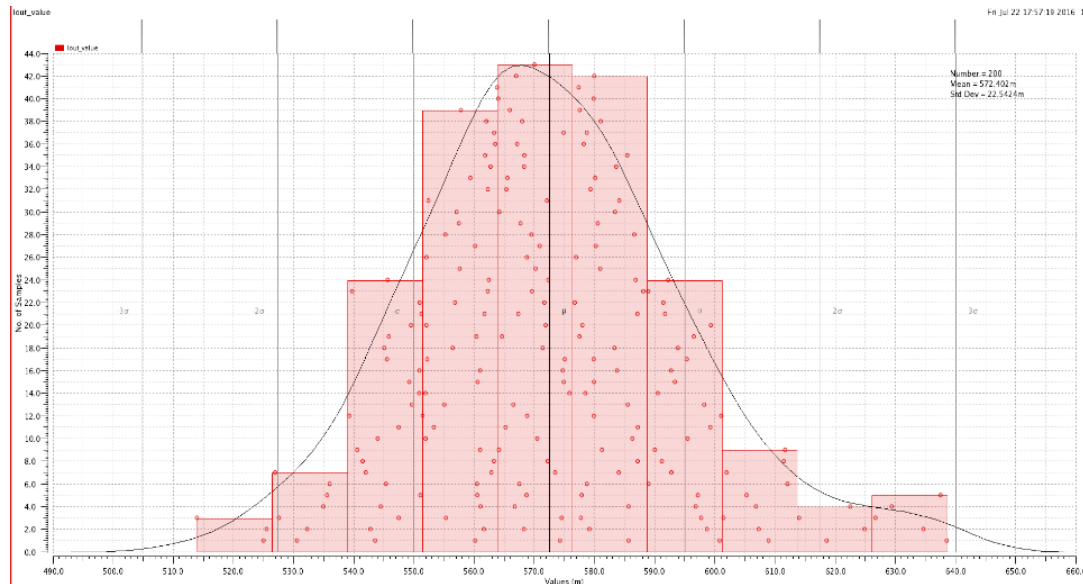


Figura 3.18: Deviazione standard dei campioni della corrente uscente dall'IDAC.

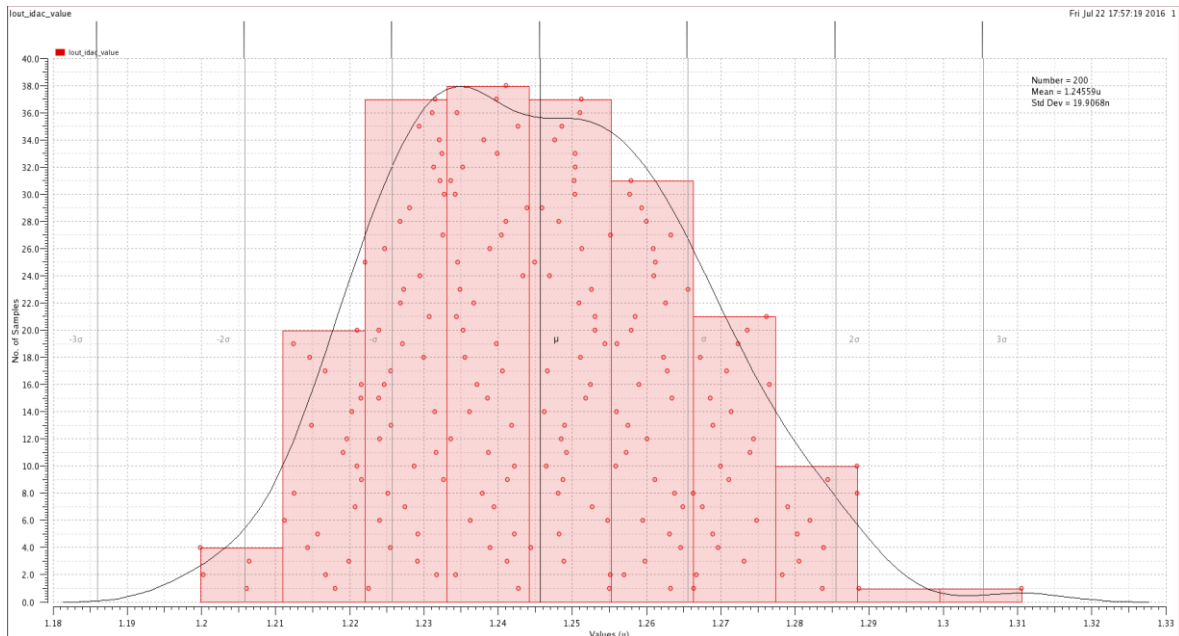


Figura 3.19: Deviazione standard dei campioni della corrente uscentedal p-current mirror.

In Fig. 3.22 è rappresentata la percentuale di influenza dei MOS sulla deviazione standard. Questi risultati confermano che i MOS che contribuiscono maggiormente alla deviazione

standard rispetto al valore nominale sono quelli che fanno specchio all'interno dell'IDAC, M10 e M0 (vedi Fig.3.9).

	Average(Mag)	lout_idac_value Nominal R^2 = 0.98720 (Top 100.0%)	lout_p_mirror_valu Nominal R^2 = 0.94898 (Top 100.0%)	lout_value Nominal R^2 = 0.92979 (Top 100.0%)
I34.I12.M10.M0:par4n_tgo5	27%	58%	16%	8%
I34.I12.M0.M0:par4n_tgo5	20%	42%	11%	6%

Figura 3.20: Percentuale di influenza dei MOS dell'IDAC sulla deviazione standard.

La stessa analisi è stata effettuata nel caso che si è dimostrato il più critico dalle curve di Fig. 3.16 e 3.17, in particolare quello con processo ss a -40°C.

I risultati di questa analisi riportati in Fig. 3.24, 3.25 e 3.26 dimostrano che anche in queste condizioni i campioni delle correnti uscenti dall'IDAC e dal p-current mirror rientrano in una deviazione standard di $\pm 3\sigma$.

Yield Estimate: 100 %(200 passed/200 pts) Confidence Level: <not set> Filter: <not set>						
tb_fast_current_limiter						
lout_idac...	100	1.2u	1.311u	1.246u	19.91n	0
lout_idac_v...	100	1.2u	info	1.311u	1.246u	19.91n
lout_p_m...	100	465.8u	554.7u	503.6u	14.52u	0
lout_p_mirr...	100	465.8u	info	554.7u	503.6u	14.52u
lout_valu...	100	513.9m	638.6m	572.4m	22.54m	0
lout_value	100	513.9m	info	638.6m	572.4m	22.54m

Figura 3.21: Risultati analitici analisi Montecarlo @ Vin=3V, -40 °C.

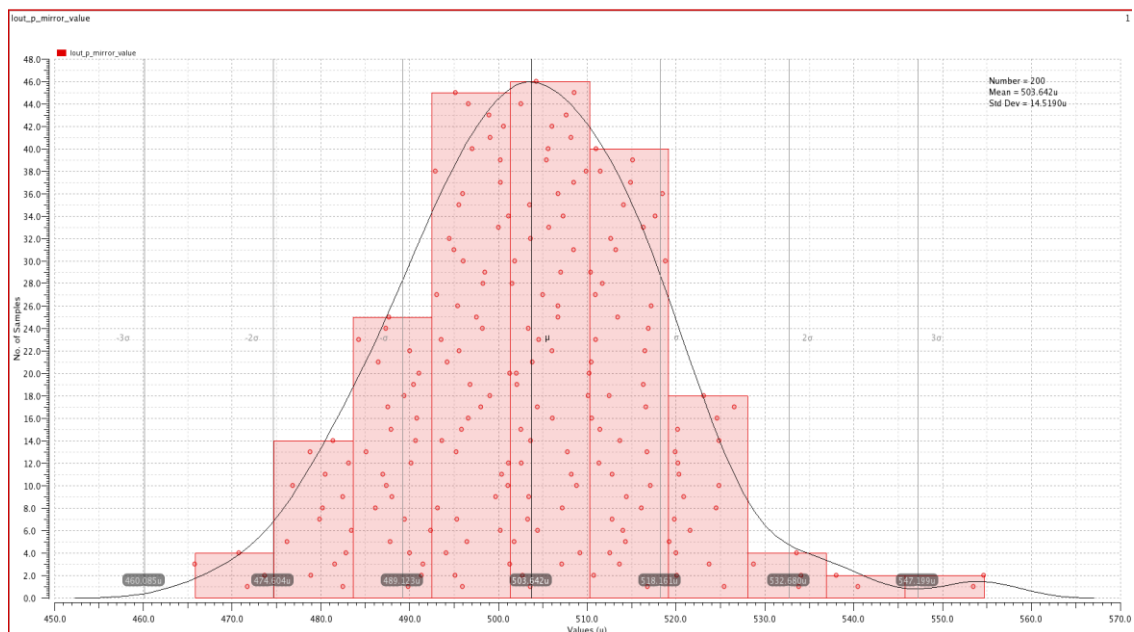


Figura 3.22: Deviazione standard dei campioni della corrente uscente dall'IDAC nel corner critico.

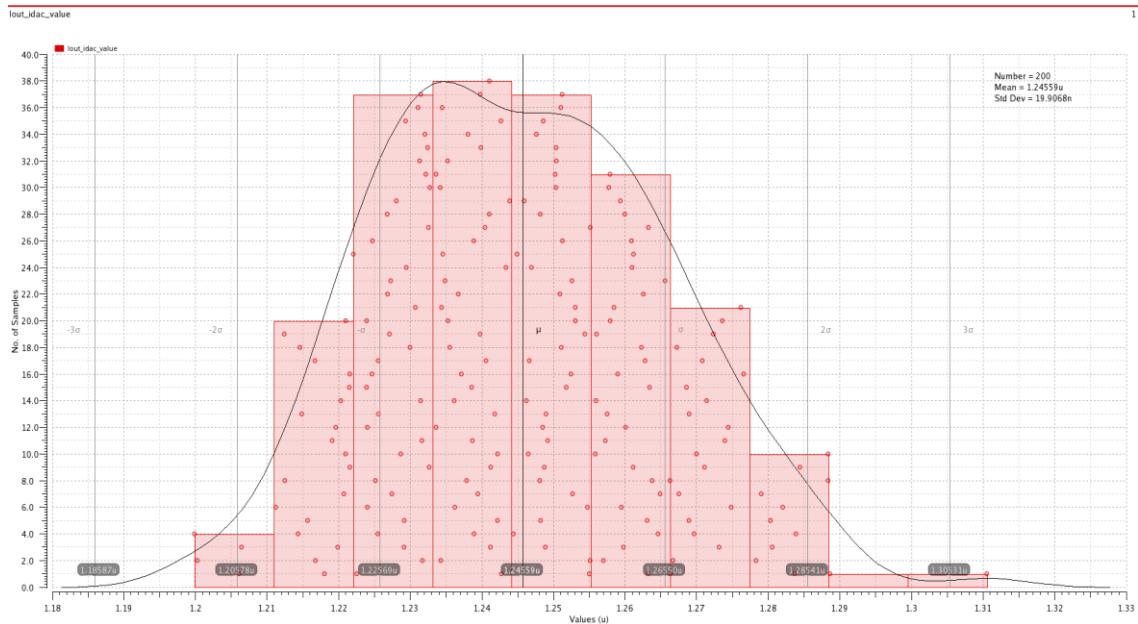


Figura 3.23: Deviazione standard dei campioni della corrente uscente dal p-current mirror nel corner critico.

In Fig. 3.26 è riportata, anche in questo caso, l'influenza percentuale dei MOS sulla deviazione standard, ottenendo lo stesso risultato visto nel caso tipico.

Average(Mag)		lout_idac_value Nominal R^2 = 0.98720 (Top 100.0%)	lout_p_mirror_valu Nominal R^2 = 0.94898 (Top 100.0%)	lout_value Nominal R^2 = 0.92979 (Top 100.0%)
I34.I12.M0.M0:par4n_tgo5	27%	58%	16%	8%
I34.I12.M0.M0:par4n_tgo5	20%	42%	11%	6%

Figura 3.24: Percentuale di influenza dei MOS dell'IDAC sulla deviazione standard nel corner critico.

3.5.2 Driver

Questo circuito è responsabile dell'accensione e dello spegnimento dei MOS di potenza interni alla charge pump. Con una semplice porta logica, come ad esempio un inverter non è possibile ottenere una corrente tale da caricare il gate di un MOS per accenderlo in tempi rapidi (stesso ragionamento per la fase di spegnimento). Per questo motivo sono stati progettati dei driver, circuiti in grado di accendere e spegnere i MOS in tempi ragionevoli,

fornendo correnti elevate. Il driver è semplicemente una catena di inverter di dimensione crescente con ragione esponenziale.

Le principali caratteristiche da tenere presenti quando si progetta un driver sono riportate di seguito:

- Tempo di propagazione in fase di accensione e spegnimento: tempo che intercorre tra quando commuta l'ingresso e quando commuta l'uscita.
- Picco di corrente in uscita quando il driver commuta.
- Resistenza di uscita.

In Fig. 3.27 è riportato lo schema circuitale del driver. Come si può vedere il driver è costituito da un ramo superiore e un ramo inferiore. Questa architettura è stata usata per equalizzare il tempo di salita e di discesa dell'uscita del driver.

È presente anche un'abilitazione (open_drain_en), necessaria quando il MOS di potenza deve essere connesso a specchio, in funzionamento a corrente limitata.

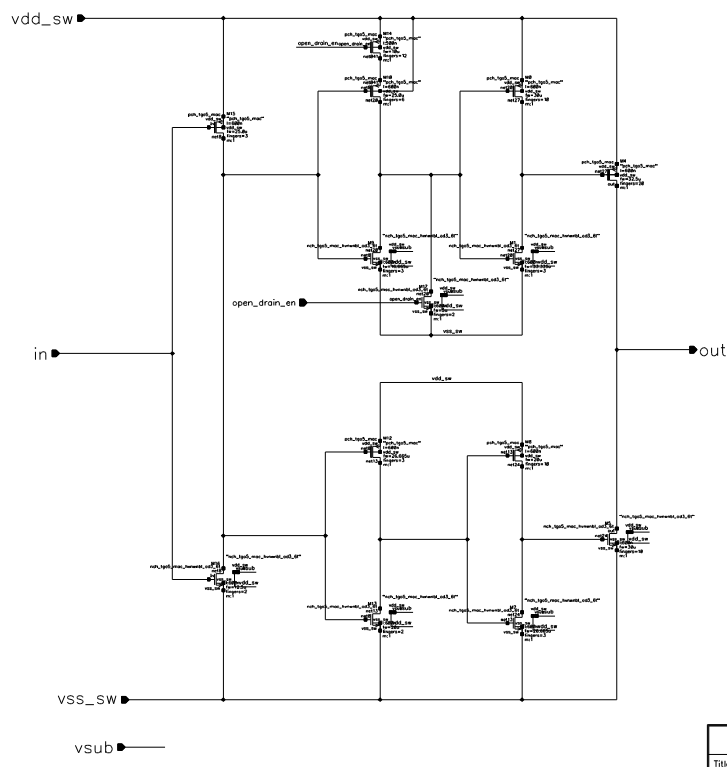


Figura 3.25: Schema circuitale dei driver.

Anche questo blocco è stato opportunamente simulato per determinare le caratteristiche principali del driver. Le simulazioni sono state effettuate solo nel caso tipico.

In Fig. 3.28 e 3.29 è riportato l'andamento della tensione di uscita nella fase di accensione e di spegnimento per determinare il delay time nelle due fasi.



Figura 3.26: Delay time in accensione.

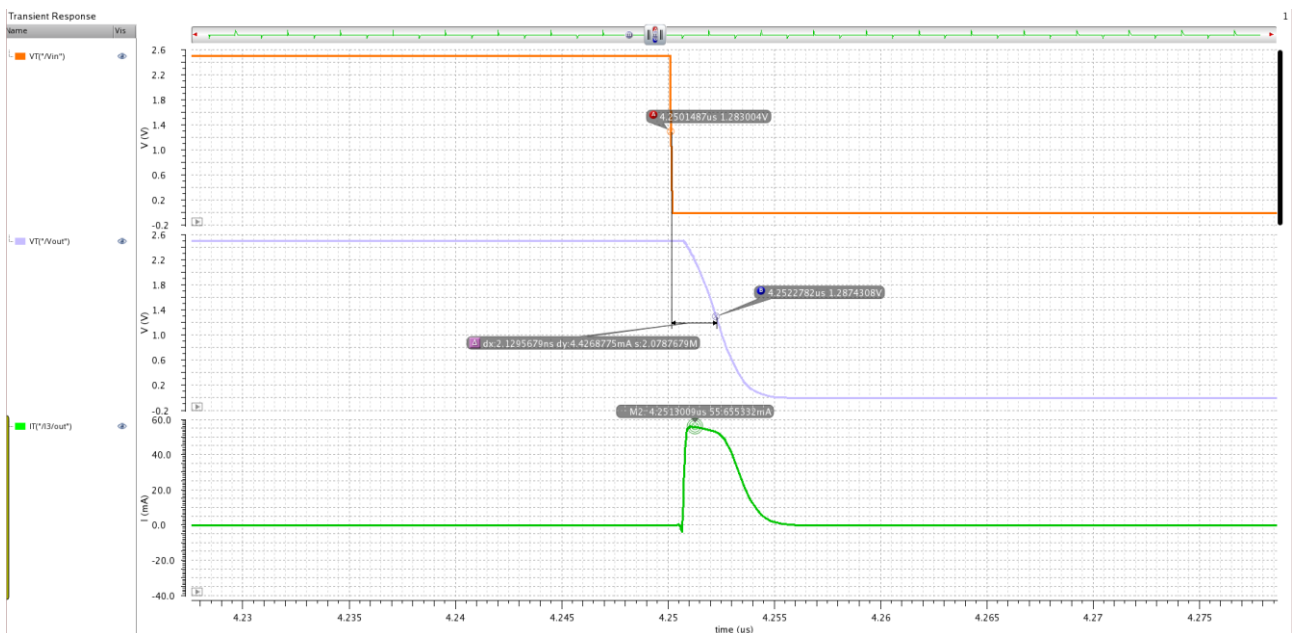


Figura 3.27: Delay time in spegnimento.

In Fig. 3.30 e 3.31 sono riportati i transienti necessari per determinare la R_{out_max} nella fase di accensione e spegnimento con le relazioni sotto riportate:

$$R_{out_max} = \frac{2.2\text{ V}}{35\text{ mA}} = 63\ \Omega \text{ nella fase di accensione}$$

$$R_{out_max} = \frac{2.3\text{ V}}{56\text{ mA}} = 41\ \Omega \text{ nella fase di spegnimento}$$

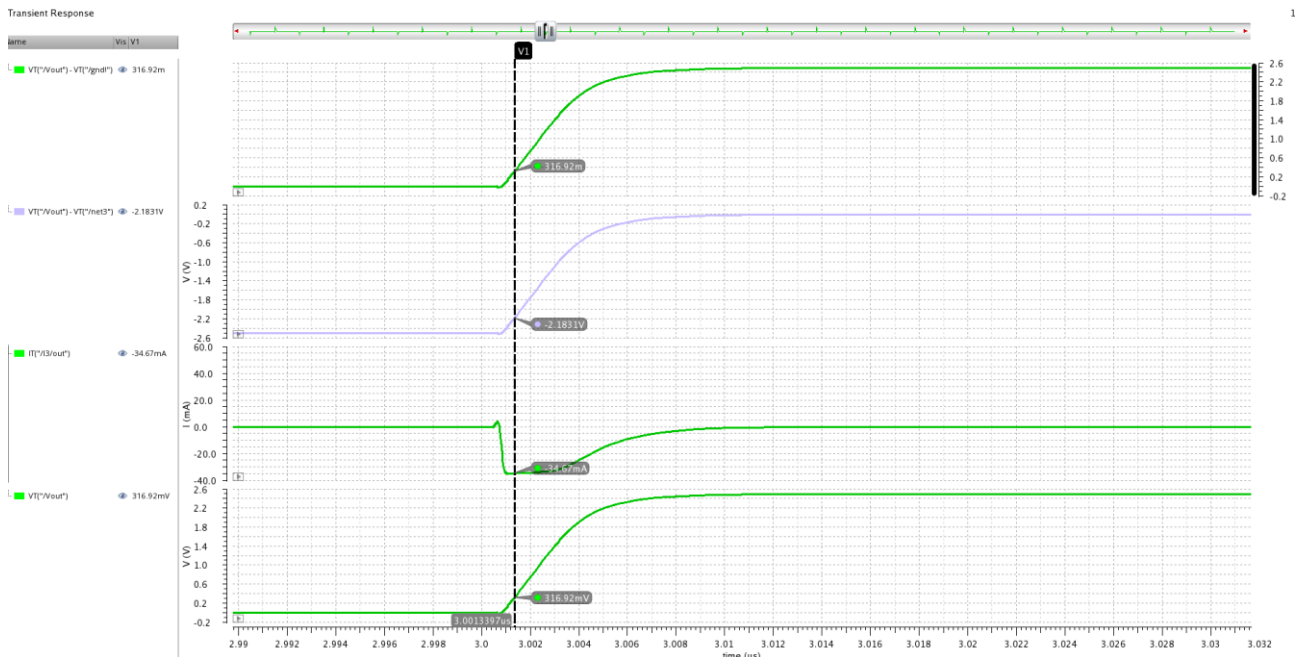


Figura 3.28: Transiente per stimare la R_{out_max} nella fase di accensione.

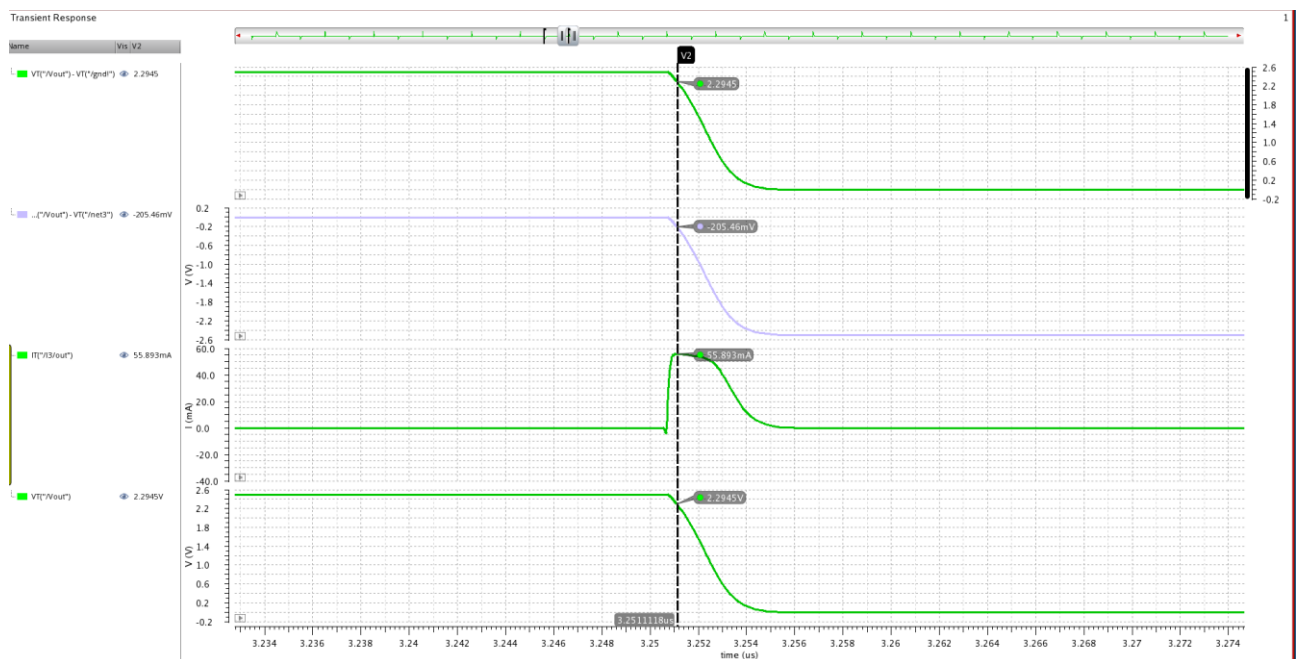


Figura 3.29: Transiente per stimare la R_{out_max} nella fase di spegnimento.

In Tabella 3.7 è riportato un riassunto delle caratteristiche del driver:

Tdelay accens. [ns]	Tdelay spegn. [ns]	I peak accens. [mA]	I peak spegn. [mA]	Rout_max Accens. [Ω]	Rout_max spegn. [Ω]
2.77	2.13	34.7	55	63	41

Tabella 3.7: Caratteristiche driver

3.5.3 Comparatore con isteresi

In Fig. 3.32 è riportato lo schema di principio del comparatore con isteresi a CMOS. Questo comparatore è utilizzato quando la charge pump lavora con bassi carichi (mA). In questo caso l'uscita decresce lentamente e la charge pump è "parcheggiata" in fase di precharge. Il clock è fermo. Siamo in pulse skip mode (vedi Cap.2).

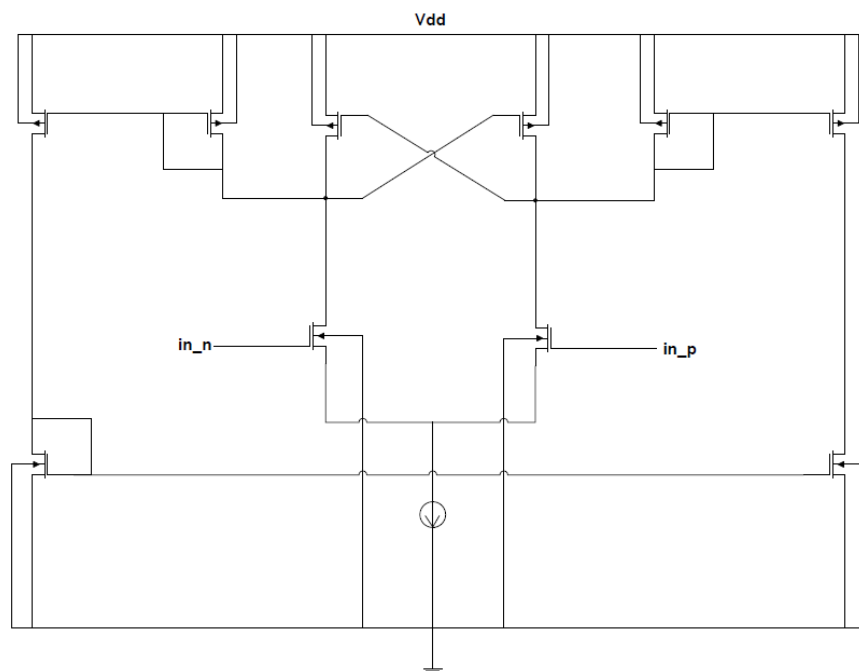


Figura 3.30: Schema di principio del comparatore con isteresi progettato.

Il principio di funzionamento del comparatore è illustrato in Fig. 3.33. Dalla figura è possibile osservare che l'uscita del comparatore va alta, quando la tensione di uscita che cala linearmente (essendo parcheggiata in fase di precharge, la capacità tank si scarica a corrente costante) arriva alla tensione di soglia data da $R_{out_est} \cdot I_{thr}$. A questo punto la charge pump ritorna in boost mode e comincia a far salire la tensione di uscita fino al valore di regime. La soglia è ottenuta semplicemente con una resistenza "trimmabile" che fornisce una stima della R_{out} della charge pump, in cui viene fatta passare una certa corrente. Corrente con la quale si vuole andare in pulse skip mode.

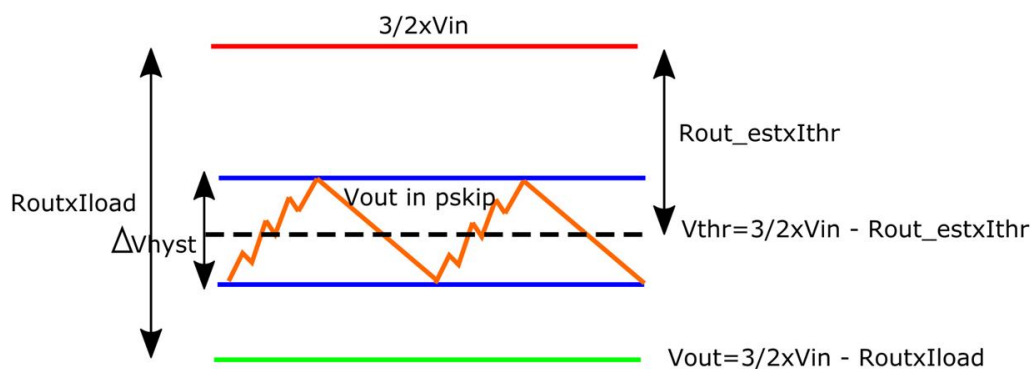


Figura 3.31: Principio di funzionamento del comparatore.

Le caratteristiche principali di un comparatore sono le seguenti:

- Consumo statico (I_q)
- Tempo di salita e di discesa del segnale di uscita
- Time delay rispetto all'arrivo del segnale di ingresso

Lo schema circuitale, come è illustrato in Fig. 3.34, è costituito da due parti, il comparatore con isteresi vero e proprio e un driver. L'utilità del driver è quella di ottenere dei fronti del segnale in uscita dal comparatore più ripidi. Il comparatore con isteresi progettato sfrutta la reazione positiva per sbilanciarsi velocemente. La parte critica di questo comparatore, deriva dal fatto che la tensione differenziale in ingresso alla coppia differenziale è piccola e quindi per sbilanciare correttamente l'intera struttura

il g_m della coppia differenziale deve essere molto elevato. Questo implica avere dei MOS con W grande a parità di L . Per ridurre invece il consumo statico gli specchi PMOS e NMOS della struttura hanno un guadagno <1 , mentre lo specchio semplice usato per polarizzare la coppia differenziale ha un guadagno di corrente pari a dieci. La corrente di bias è di 1 μA .

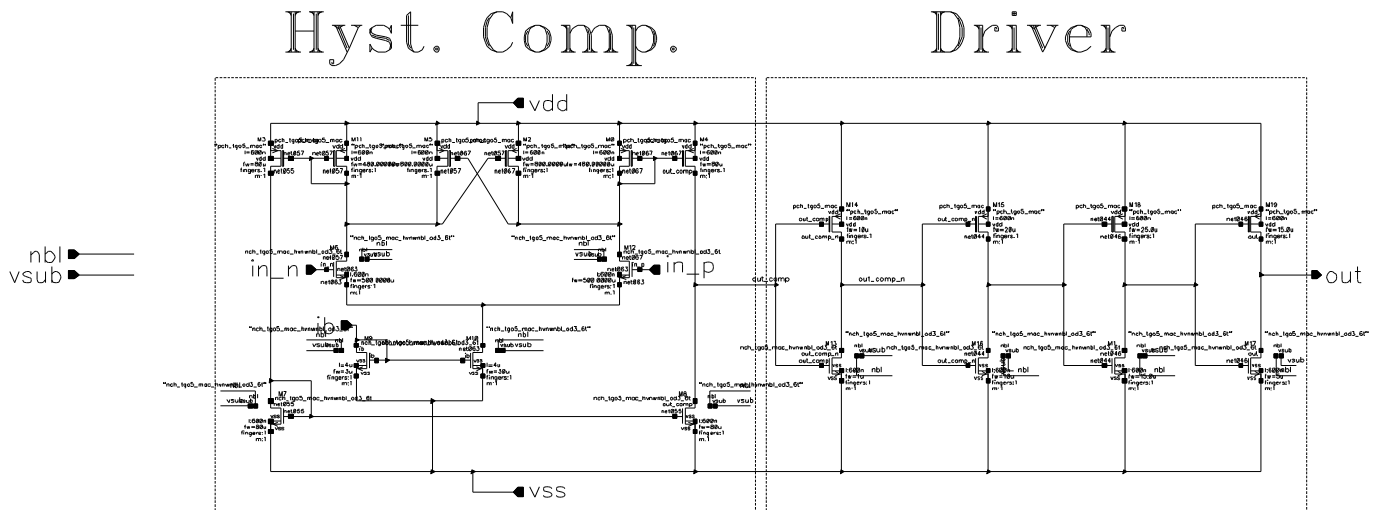


Figura 3.32: Schema circuitale del comparatore.

Come per i circuiti precedenti anche in questo caso le simulazioni hanno permesso di determinare le caratteristiche del comparatore. Di seguito sono riportate i risultati delle simulazioni:

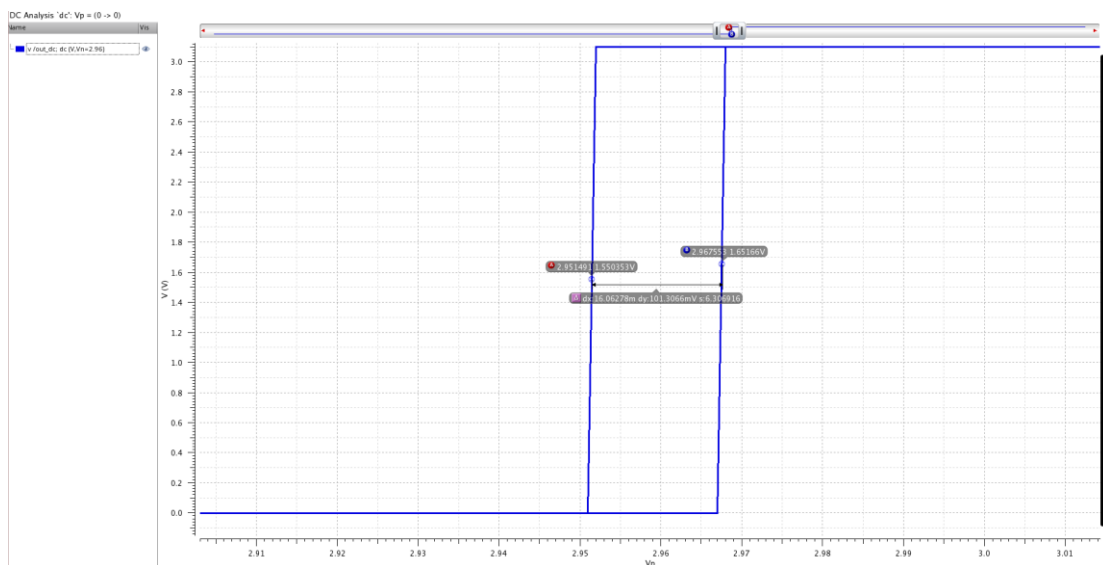


Figura 3.33: Fascia di isteresi del comparatore.

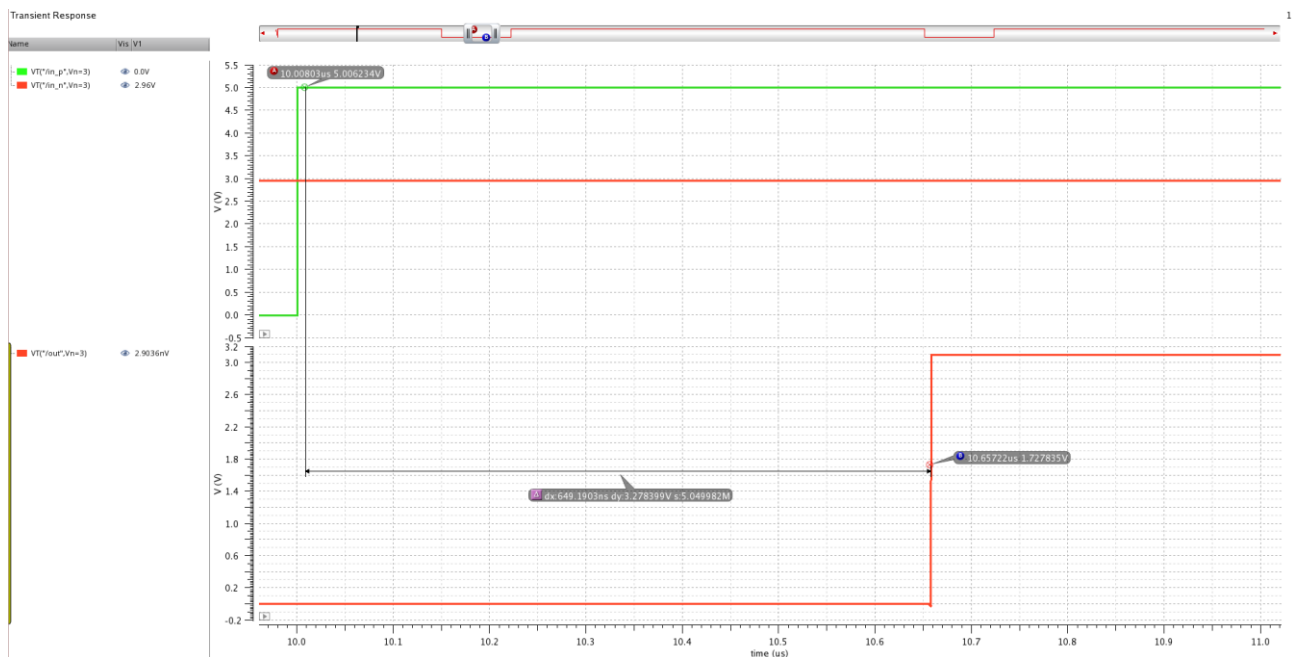


Figura 3.34: Delay time del comparatore.

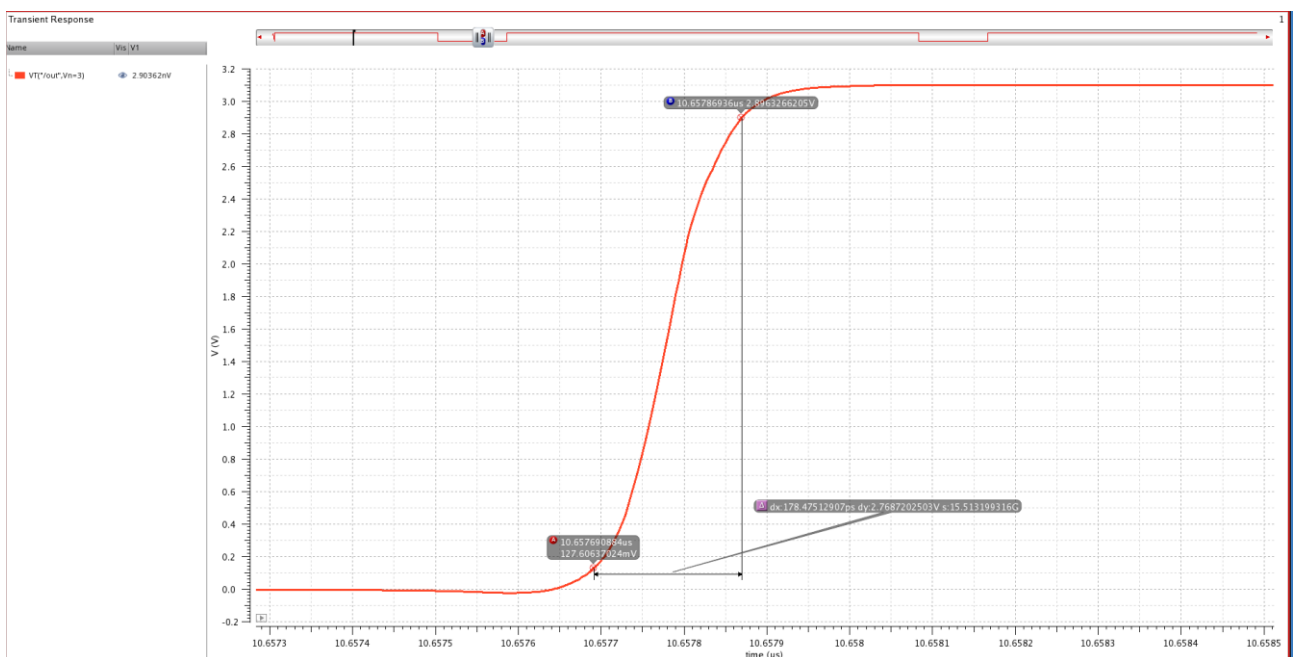


Figura 3.35: Tempo di salita del comparatore (il tempo di discesa è lo stesso, il circuito è simmetrico).

Dalla Fig.3.35 si nota come la fascia di isteresi del comparatore sia molto stretta, compensando il grande delay time evidenziato in Fig.3.36. Il grande ritardo del comparatore è dovuto alla bassa corrente di bias utilizzata e alle grandi dimensioni dei MOS della coppia

differenziale per ottenere alto g_m . Per questo comparatore dove la velocità di risposta non è essenziale, l'uscita infatti cala lentamente a bassi carichi, si è privilegiato la riduzione della potenza statica dissipata.

I tempi di salita e di discesa sono comunque ripidi grazie alla presenza del driver.

In Fig. 3.38 è mostrato il funzionamento del comparatore all'interno della charge pump con Iload pari a 100 mA. Come si vede l'andamento della Vout è esattamente pari a quello mostrato in Fig.3.33.

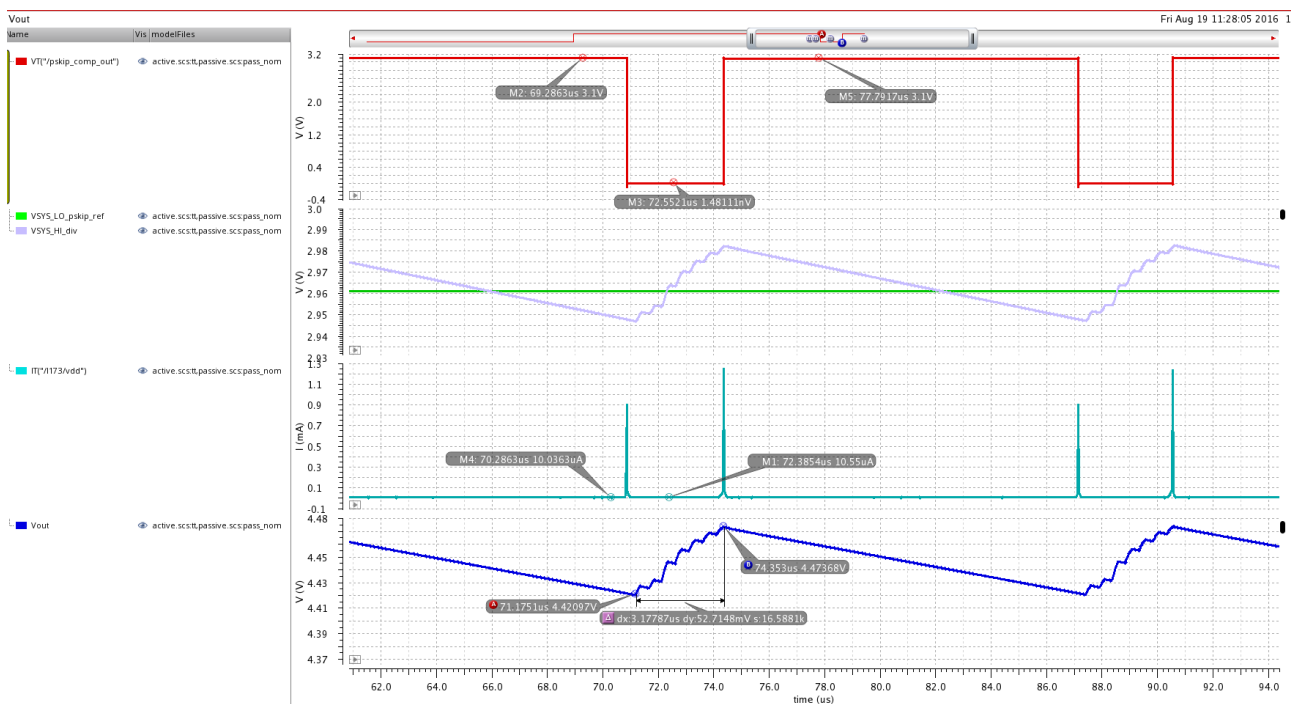


Figura 3.36: Funzionamento del comparatore nella charge pump.

In Tabella 3.8 è riportato un riassunto delle caratteristiche del comparatore:

Tdelay [ns]	Fascia di isteresi (mV)	Tempo di salita e discesa [ps]	Iq [uA]
650	16	180	10

Tabella 3.8: Caratteristiche del comparatore.

3.5.4 Diodo attivo

Il diodo attivo è costituito da due blocchi fondamentali:

- Un driver con la stessa architettura e stesso dimensionamento descritto nel paragrafo precedente, che pilota il gate di un MOS che fa da interruttore (da diodo).
- Un comparatore con isteresi con la stessa architettura di quello descritto nel paragrafo precedente, ma più veloce in quanto i MOS della coppia differenziale non devono essere molto grandi per avere un grande g_m (l'ingresso differenziale non è piccolo >100 mV). La presenza di questo comparatore determina il fatto che il diodo sia attivo.

Come indicato in Fig. 3.39, questo circuito viene utilizzato nella fase di boost quando la Cboot2 viene ricaricata tramite la Cboot1. In questo caso è necessario connettere Cboot1 alla Cboot2 quando la tensione $V_{boot1} > V_{boot2}$ e quando Mb_lo2 è effettivamente chiuso, quindi Cboot1 risulta essere in parallelo a Cboot2. Per questo viene generato un segnale di feedback da Mb_lo2. Altrimenti se quest'ultima disequazione non fosse rispettata Cboot2 invece di caricarsi grazie a Cboot1, andrebbe a scaricarsi ulteriormente. È pertanto necessario l'utilizzo del diodo attivo.

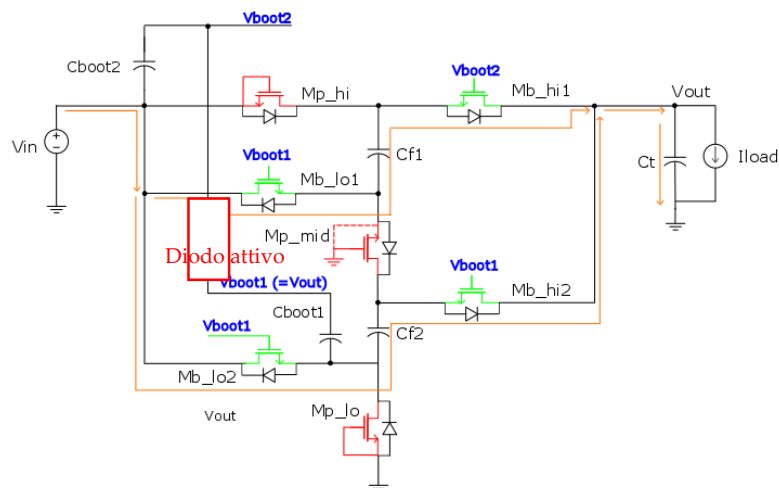


Figura 3.37: Uso dell'diodo attivo nella charge pump in fase di boost.

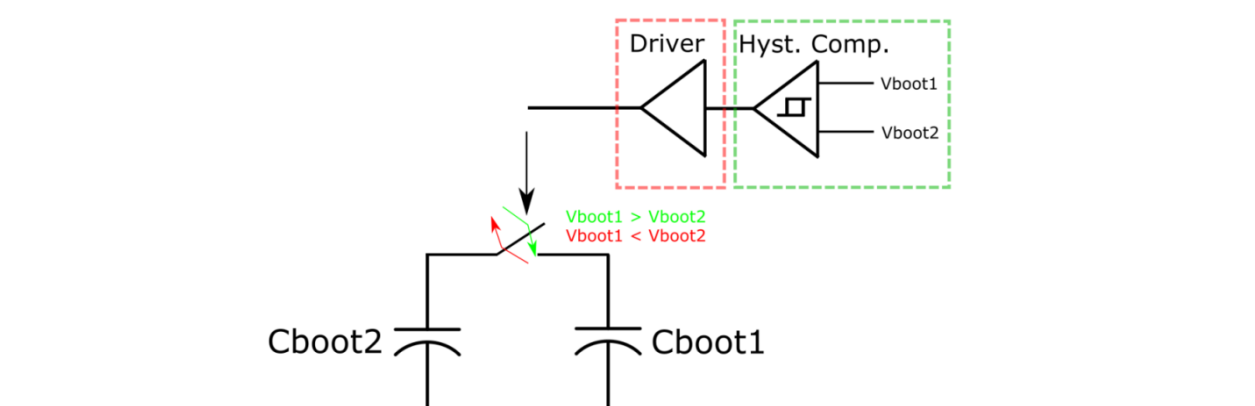


Figura 3.38: Schema a blocchi semplificato dell'diodo attivo.

In Fig. 3.41 e 3.42 sono riportati gli schemi elettrici dell'diodo attivo, in particolare la struttura dell'diodo attivo data da PMOS HV più driver e l'architettura del comparatore con isteresi utilizzato.

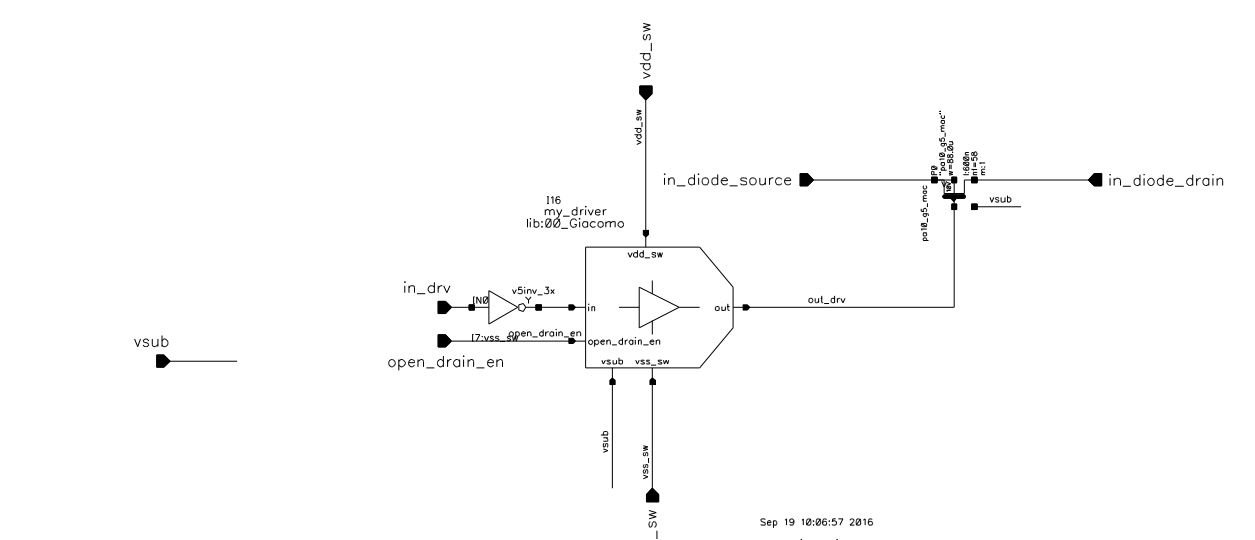


Figura 3.39: Diodo attivo: schema elettrico del PMOS HV più il driver.

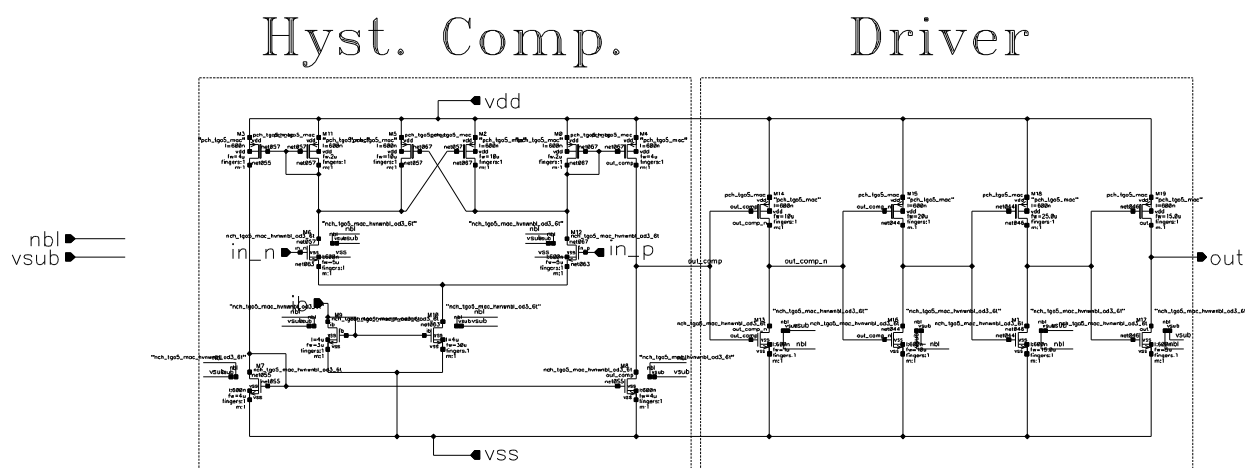


Figura 3.40: Diodo attivo: schema elettrico del comparatore con isteresi utilizzato.

3.5.5 Traslatori di livello

I traslatori di livello sono dei circuiti che permettono il passaggio da un dominio di tensioni ad un altro dominio diverso dal precedente. Nella charge pump sono necessari circuiti di questo tipo per passare dal dominio statico 0-Vin, che è il dominio di tensione sempre disponibile, ad altri domini statici con cui lavorano i driver dei MOS di potenza. In particolare è opportuno tenere presente, le tensioni di gate con cui lavorano gli NMOS della charge pump. In Tabella 3.9 sono riportate queste tensioni.

NMOS	Rail di alimentazione del driver (Vss_sw – Vdd_sw)
Mp_hi	Vin-Vboot2
Mp_mid	0-Vout
Mp_lo	0-Vout
Mb_lo1	Vsource-Vboot1
Mb_lo2	Vsource-Vboot1
Mb_hi1	Vsource-Vboot2
Mb_hi2	Vsource-Vboot1

Tabella 3.9: Rail di alimentazione dei vari NMOS della charge pump.

Come si vede dalla tabella sopra riportata alcuni degli NMOS come Mp_mid e Mp_lo hanno dei driver che lavorano in un dominio statico. Mentre gli altri NMOS hanno dei driver che lavorano in un dominio dinamico, infatti il rail alto è dato dalle capacità di bootstrap e quello basso non ha un valore di tensione fissa ma è dato dalla tensione di source del dispositivo stesso.

Per Mpmid e Mplo sono stati utilizzati dei traslatori di livello convenzionali come quello riportato in Fig. 3.43. Per gli altri invece sono stati utilizzati dei traslatori di livello dinamici come quello rappresentato in Fig. 3.44. Il traslatori di livello convenzionale è semplicemente costituito da una coppia di PMOS incrociati (cross-coupled) che permette il passaggio dal dominio a bassa tensione 0-VddL al dominio ad alta tensione 0-VddH, effettuando una conversione in salita. Il traslatori di livello dinamico ha come struttura base quella del traslatori di livello convenzionale con l'aggiunta di alcune parti. In Fig. 3.44 sono evidenziate le parti importanti dell'architettura utilizzata. In particolare nel riquadro rosso si ha una struttura source follower, necessaria per non permettere al nodo A di scendere sotto la tensione Vss_sw. Se la tensione scendesse sotto Vss_sw i PMOS della cross-coupled si troverebbero una $V_{ds}(e V_{gs}) = V_{dd_sw} - (< V_{ss_sw}) > 5\text{ V}$, infatti Vdd_sw essendo data dalle Vboot può andare oltre 5V. Nel riquadro blu è evidenziata una serie di diodi, necessari per non permettere al nodo A di scendere sotto Vss_sw per correnti di leakage. Nel riquadro verde è presente un secondo traslatori di livello che consente di ripristinare il livello logico del segnale di uscita.

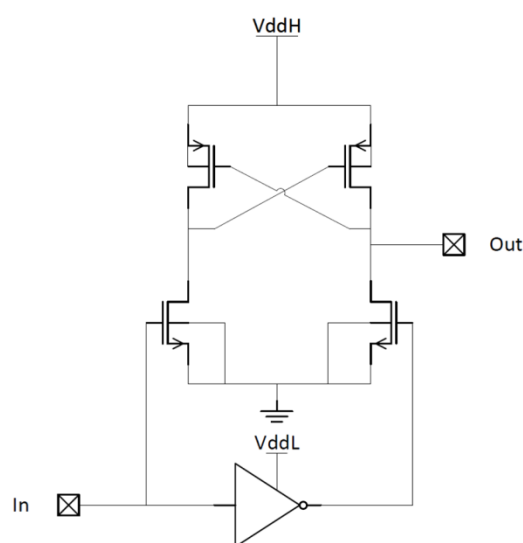


Figura 3.41: Traslatori di livello convenzionale.

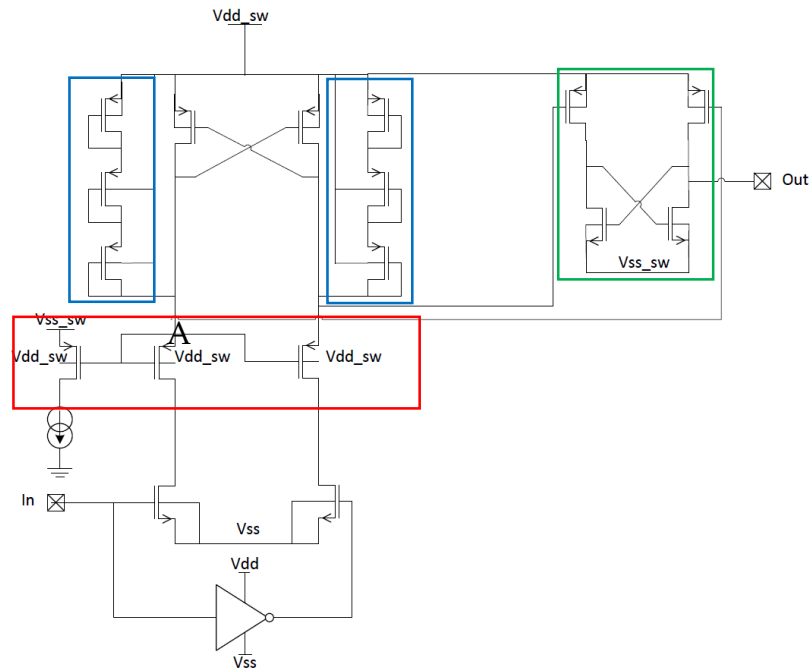
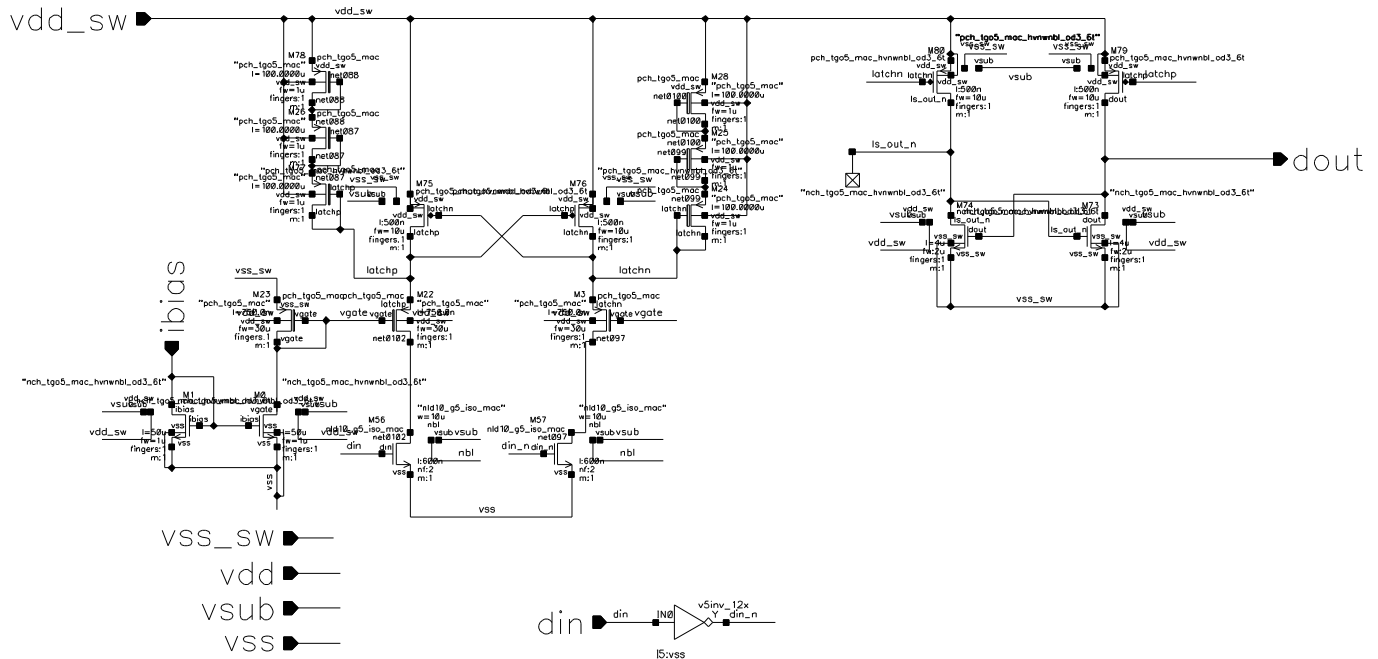


Figura 3.42: Traslatori di livello dinamico.

In Fig. 3.45 è riportato lo schema circuitale reale, utilizzato nella charge pump. In Fig. 3.46, 3.47 e 3.48 sono riportate le simulazioni fatte per determinare la minima tensione a cui il traslatori di livello comincia a funzionare correttamente (quest'analisi è importante per la fase di start up) e quelle necessarie per stabilire i ritardi in salita e in discesa sull'uscita.



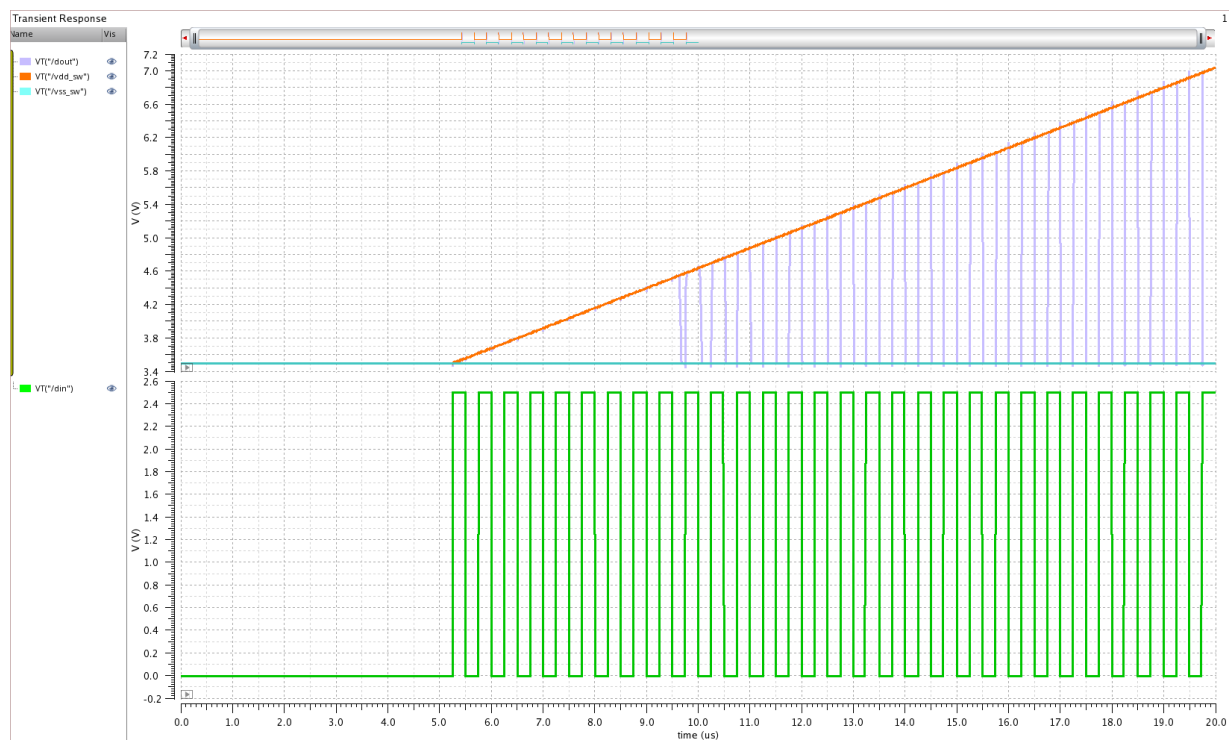


Figura 3.44: Tensione minima a cui il traslatore di livello comincia a funzionare.

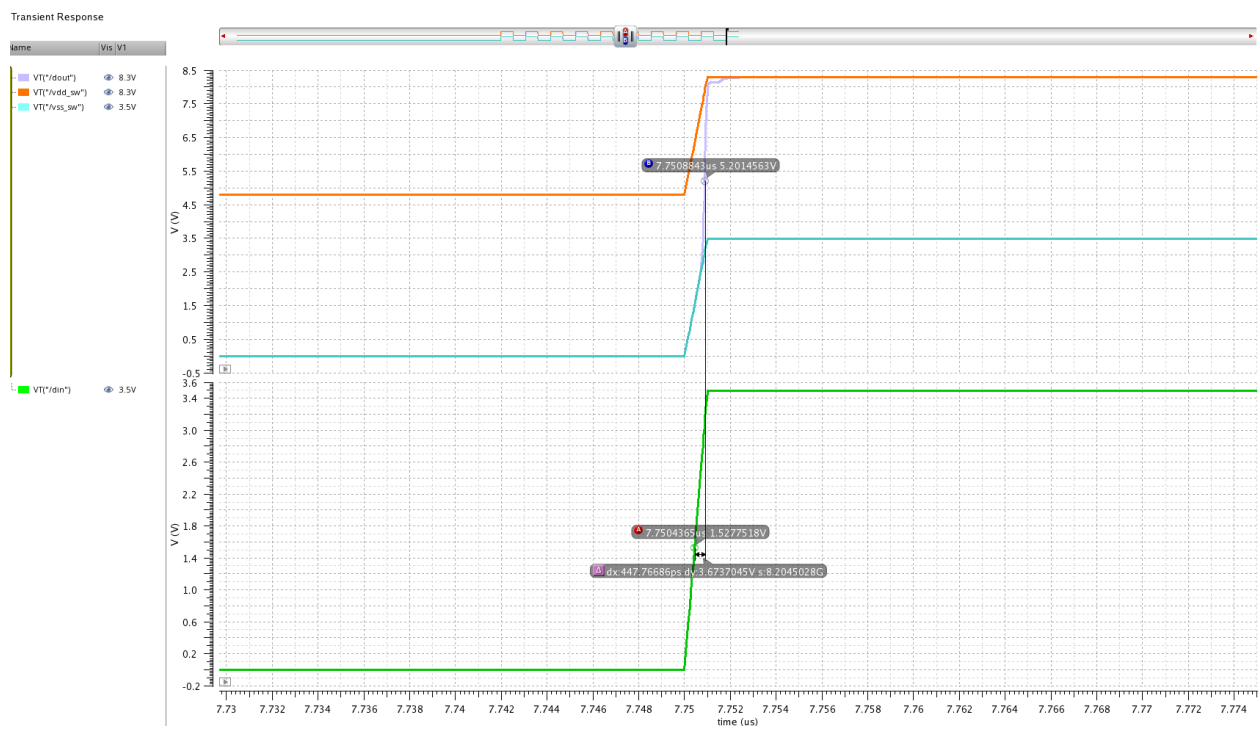


Figura 3.45: Ritardo in salita del traslatore di livello.

Capitolo 4

4.1 Schema elettrico della charge pump

In Fig. 4.1 è rappresentato il testbench della charge pump utilizzato nelle simulazioni. In figura sono evidenziate le capacità scelte nel capitolo 2, le capacità flying, quelle di bootstrap e la capacità tank connessa all'uscita. Tutte le capacità sono esterne alla charge pump. Le capacità sono connesse alla charge pump tramite le solder ball del package WLCSP scelto. Le solder ball sono modellate come la serie di capacità, resistenza e induttanza parassite del pin. Sono inoltre modellati anche i parassiti delle connessioni sempre come serie di resistenza, induttanza e capacità.

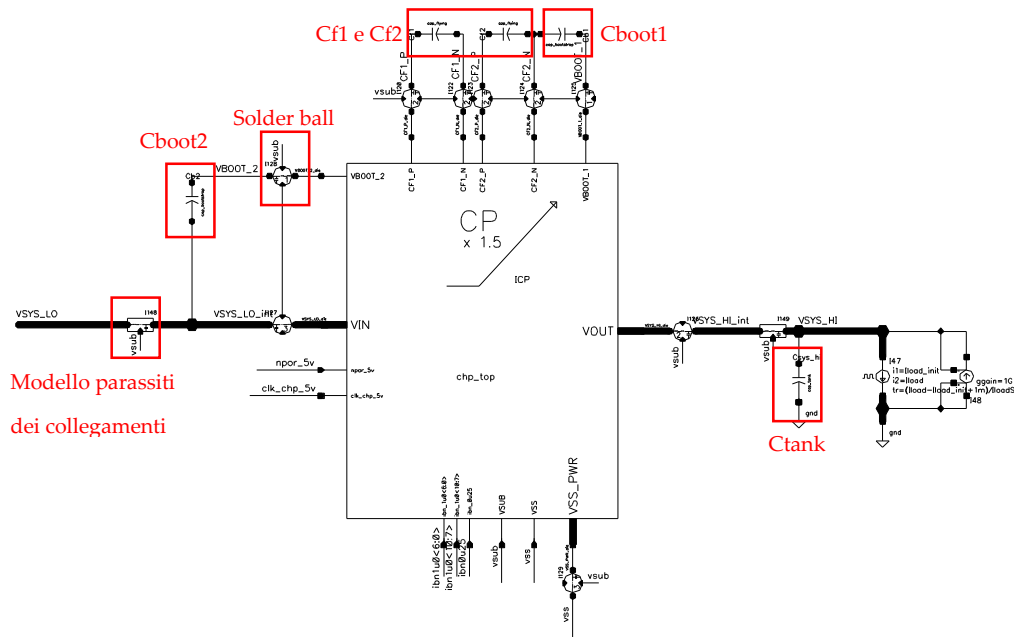


Figura 4.1: Testbench della charge pump.

In Fig. 4.2 è, invece mostrato l'interno del blocco CP raffigurato sopra. Come evidenziato in figura si hanno i sette switch che costituiscono la charge pump. Le capacità flying rappresentate nello schematico si trovano esternamente alla charge pump. In figura si nota anche la presenza di resistenze in serie ai switch, che modellano le resistenze delle metal

usate nei collegamenti. Scendendo ancora in gerarchia nello schematico si trova in Fig. 4.3 la struttura interna dei switch, costituita da traslatori di livello, driver e NMOS di potenza.

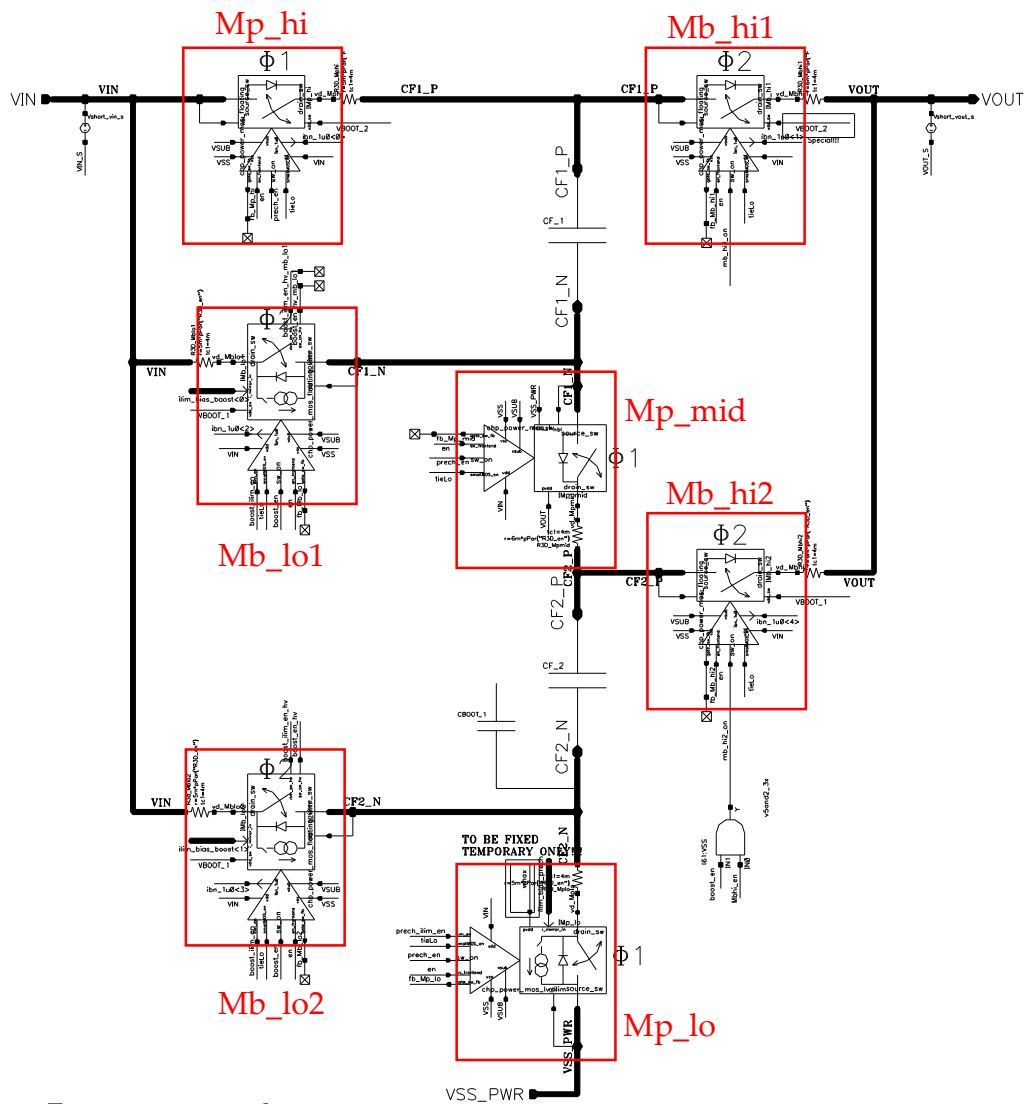


Figura 4.2: Schema elettrico della charge pump.

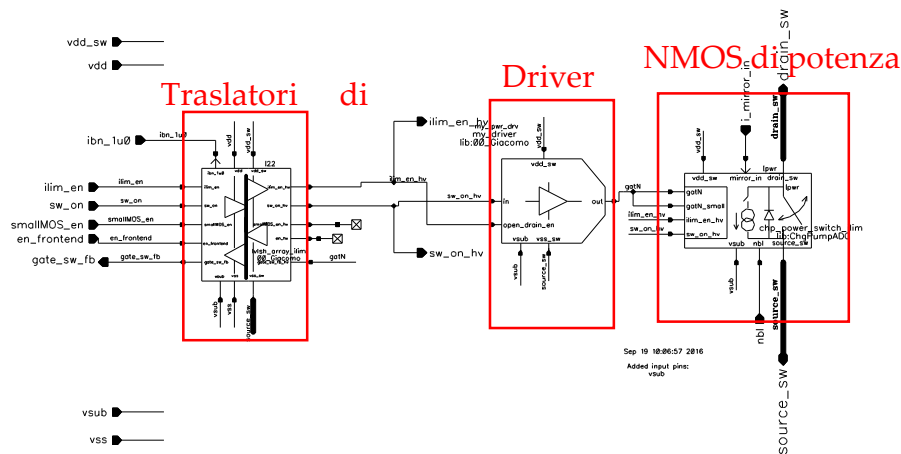


Figura 4.3: Schema elettrico dei blocchi evidenziati in Fig. 4.2.

In Fig. 4.4 è mostrata i circuiti interni al blocco NMOS di potenza per Mb_lo1, Mb_lo2 e Mp_lo che dovendo funzionare in limitazione di corrente hanno uno specchio di corrente semplice con rapporto 1:1000, attivabile con degli enable quando la charge pump deve funzionare in limitazione di corrente. Le celle relative agli altri dispositivi sono identiche, con la differenza che non è presente lo specchio di corrente, ma solo l'NMOS di potenza. Le dimensioni del power switch sono quelle ricavate dal modello Excel (vedi Cap.3):

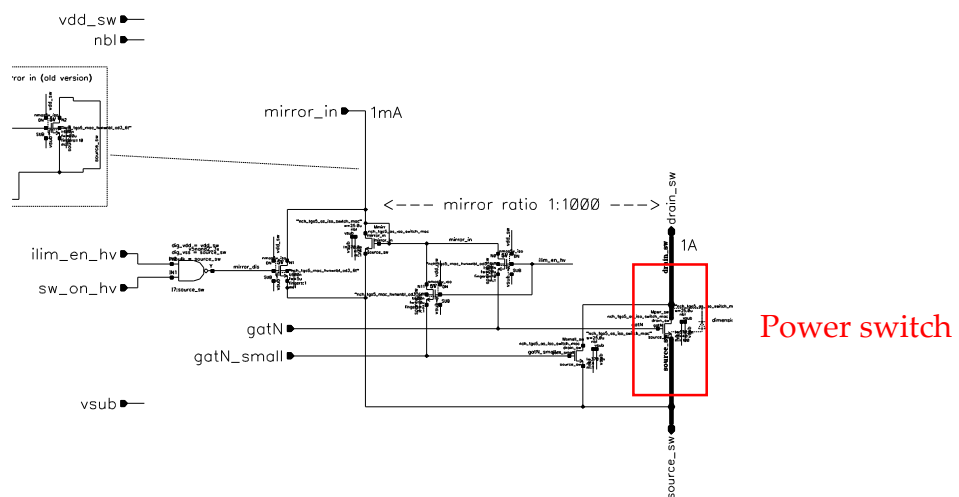


Figura 4.4: Schema circuitale dell'NMOS di potenza.

4.2 Simulazioni

Di seguito è riportata la lista delle simulazioni fatte per verificare i parametri di progetto della charge pump:

1. Simulazioni allo start-up @ 2 MHz:
 - Transiente tipico:
 - $V_{in}=2.5\text{ V}$
 - $I_{load}=0\text{ A}$
 - capacità flying completamente scariche
 - Codice digitale dell'IDAC pari a 8
 - Senza parassiti
 - Transiente nei corner mantenendo per le grandezze che non variano il valore tipico riportato sopra:
 - Sweep della tensione d'ingresso (2.5 V, 3 V, 3.2 V).
 - Sweep della corrente di carico (0 A, 1 A).
 - Sweep delle condizioni iniziali delle capacità flying (0V, $V_{in}/2$, V_{in} e relative permutazioni nei corner incrociati).
 - Sweep del codice digitale in ingresso all'IDAC (4, 8, 16, 24).
2. Load transient con la charge pump che lavora sempre in boost mode @ 2 MHz nei seguenti corners:
 - $V_{in} = 3\text{ V}$, $I_{load} = 2\text{ A}$, senza parassiti.
 - $V_{in} = 3\text{ V}$, $I_{load} = 2\text{ A}$, con parassiti.
 - Analisi delle SOA (Safe Operating Area) con $V_{in}=3.5\text{ V}$ e parassiti attivi.
3. Line transient quando la V_{in} scende e la charge pump sta lavorando in boost mode @ 2 MHz
4. Load transient con la charge pump che lavora in pulse skip per bassi carichi nei seguenti corner:
 - Sweep V_{in} (2.5 V, 3 V, 3.2 V).

- Sweep Iload (5 mA, 10 mA, 20 mA, 50 mA, 100 mA, 500 mA).

4.3 Simulazioni dello startup

Lo scopo di queste simulazioni è quello di verificare che in tutte le situazioni possibili la charge pump riesca ad accendersi correttamente, arrivando ad una situazione di regime dalla quale poi passare nella modalità di funzionamento naturale della charge pump, quella di boost mode, in cui si alternano le due fasi di precharge e di boost. Per capire meglio i risultati della simulazione è bene specificare in dettaglio le fasi dello startup, attraverso una semplice macchina a stati, come mostrato in Fig. 4.5.

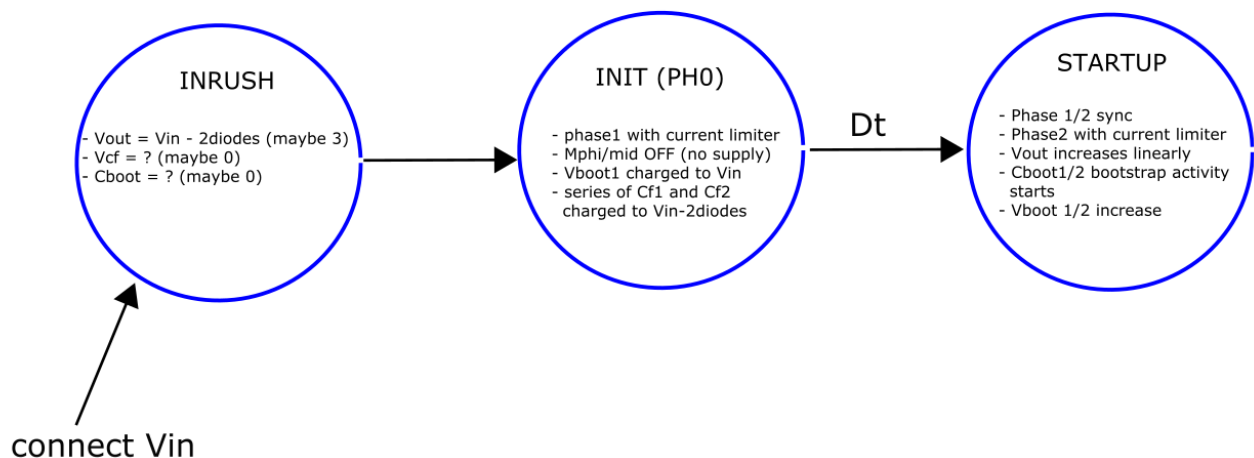
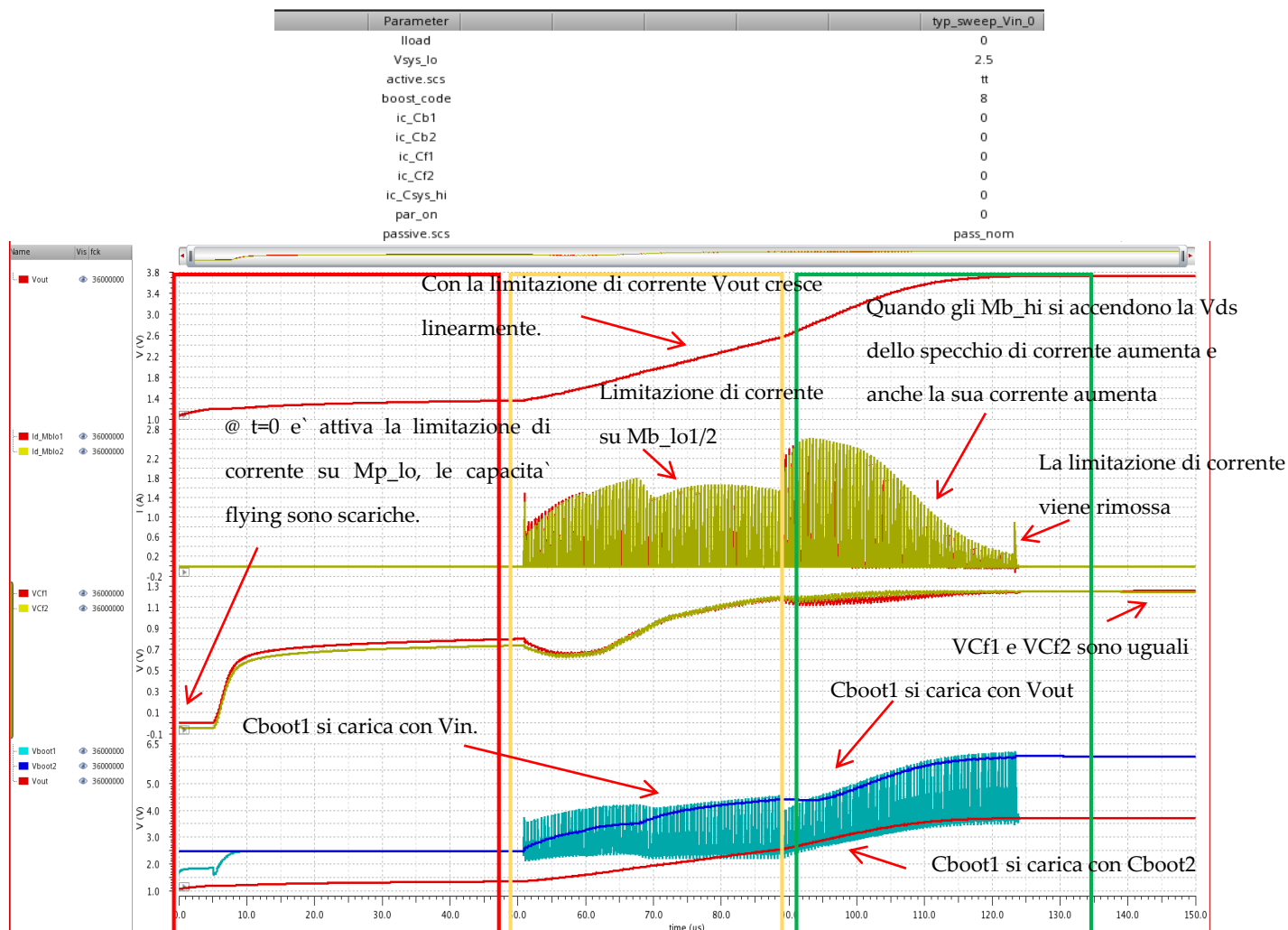


Figura 4.5: Macchina a stati della fase di startup.

Il risultato della simulazione tipica in transitorio e i parametri della simulazione sono mostrati in Fig. 4.6. In figura è possibile osservare importanti caratteristiche della fase di startup riportate di seguito:

- Durata totale della fase di startup 126 μs .

- La corrente limitata che con il codice digitale 8 dovrebbe essere nominalmente pari a 3 A, in questa simulazione risulta essere minore. Il motivo è che gli NMOS Mb_hi1 e Mb_hi2 non sono ancora accesi bene, essendo i rail di alimentazione dei driver ancora troppo bassi e quindi la Vds di Mb_lo1 e Mb_lo2 risulta essere pari a $V_{in} - (V_{out} + V_{diode}(Mbhi1/2) - V_{cf1/2})$. Con la V_{diode} degli Mb_hi la Vds dello specchio di corrente cala e quindi la corrente ha un valore minore di quello nominale.
- Quando Vout è abbastanza grande da avere un rail di alimentazione dei driver sufficiente ad accendere gli Mb_hi, la Vds dello specchio di corrente aumenta e quindi anche la sua Vds.
- Inizialmente Cboot1 è caricato con Vin, che è l'unica tensione disponibile, quando invece Vout è maggiore di Vin viene caricata con Vout (la decisione è affidata ad un diodo attivo).
- Cboot2 è caricata con Cboot1 quando termina la limitazione di corrente e le due bootstrap finiscono in parallelo.
- La fine dello startup si ha quando un comparatore (con la stessa architettura presentata nel capitolo 2) verifica che $V_{out} > 0.95 \cdot (3/2) \cdot V_{in}$, oppure quando il timer digitale segna la fine.
- Le tensioni sulle capacità flying hanno lo stesso valore alla fine della fase di startup. Ad un certo istante di tempo (intorno ai 90 μs) si separano leggermente. Questo è dovuto al fatto che Mb_hi1 si accende prima di Mb_hi2 avendo un overdrive maggiore e quindi la flying in serie a Mb_hi1 si scarica con una corrente maggiore (lo specchio di corrente di quel ramo funziona meglio).
- L'andamento della Vout è giustamente lineare quando siamo in limitazione di corrente (la corrente è costante).



Fase 0: la charge pump e' "parcheggiata" in fase diprecharge

Boost mode a corrente limitata con Mb_hi1/2 spenti

Boost mode a corrente limitata con Mb_hi1/2 accesi

Figura 4.6: Startup: Transiente tipico @ Vin=2.5V.

Gli altri corner con lo sweep della Vin hanno lo stesso andamento di quello mostrato in Fig. 4.6. Il caso critico allo startup e' di fatto quello con Vin = 2.5 V, dove comparatori, driver e traslatori di livello hanno un rail di alimentazione molto basso.

Nelle Fig. 4.7, 4.8, 4.9 sono mostrati i risultati ottenuti nei vari corner. Nell'ordine si trovano i corner relativi allo sweep della corrente di carico, delle condizioni iniziali, delle capacita' flying e dei codici digitali in ingresso all'IDAC. Nel caso dello sweep della corrente di carico lo scopo di questa simulazione era quello di verificare che tutte le tensioni arrivassero a

regime anche in presenza di un carico (es. 1 A). Dai risultati ottenuti si nota subito come in presenza di carico non nullo l'uscita impieghi di più ad arrivare a regime. Complessivamente la durata della fase di startup è maggiore.

Nel caso del sweep delle condizioni iniziali delle capacità flying è subito evidente come le tensioni ai capi delle capacità flying, alla fine della fase di startup, siano le stesse, indipendentemente dalle condizioni iniziali. L'uguaglianza viene raggiunta grazie al fatto che nella fase di precharge le due capacità flying vengono caricate con la stessa corrente, mentre nella fase di boost si scaricano con corrente diversa avendo condizioni iniziali differenti. Questo perché nel ramo dove la flying è più carica la V_{ds} dello specchio di corrente è maggiore e quindi anche la sua corrente di uscita è maggiore. Viceversa nell'altro ramo. La capacità flying più carica si scarica più velocemente dell'altra. Ripetendo la fase di precharge e di boost le due tensioni tendono ad equalizzarsi.

Nel caso dello sweep del codice digitale in ingresso all'IDAC, i risultati ottenuti dimostrano come più il codice è alto, più alta è la corrente uscente dal limitatore di corrente (maggiore è la potenza dissipata). Come conseguenza diretta di questo fatto si ottiene che più alta è la corrente più velocemente V_{out} raggiunge il valore di regime. Il codice 4 non è stato riportato in quanto con un codice così basso, l'uscita non riusciva a raggiungere il valore di regime 1.5Vin. Se il codice è troppo alto la fase di startup termina molto velocemente, quindi si esce dalla limitazione di corrente prima avendo dei picchi di corrente più alti. Il codice migliore che consente di ottenere un buon trade-off tra la durata della fase di startup e la potenza dissipata è il codice 16.

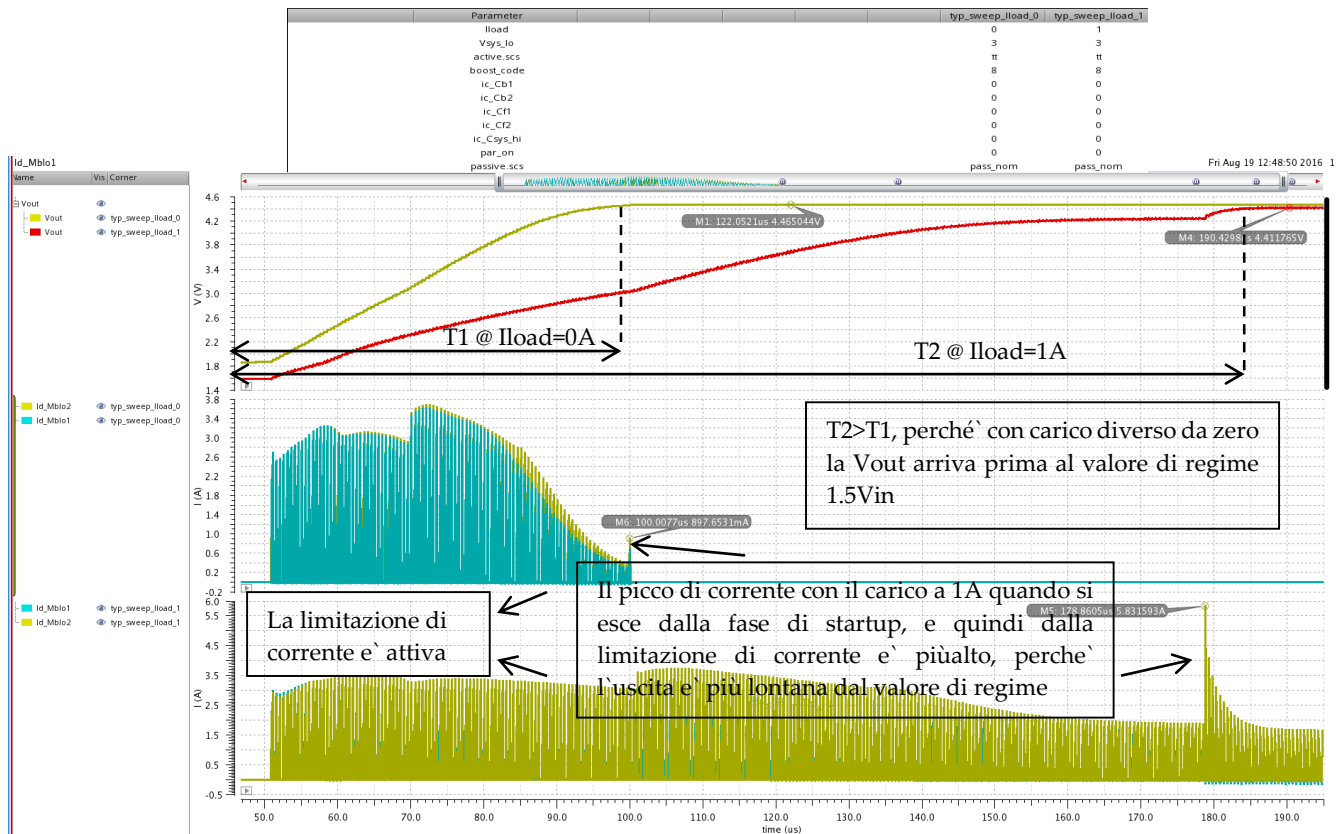


Figura 4.7: Startup: sweep della corrente di carico.

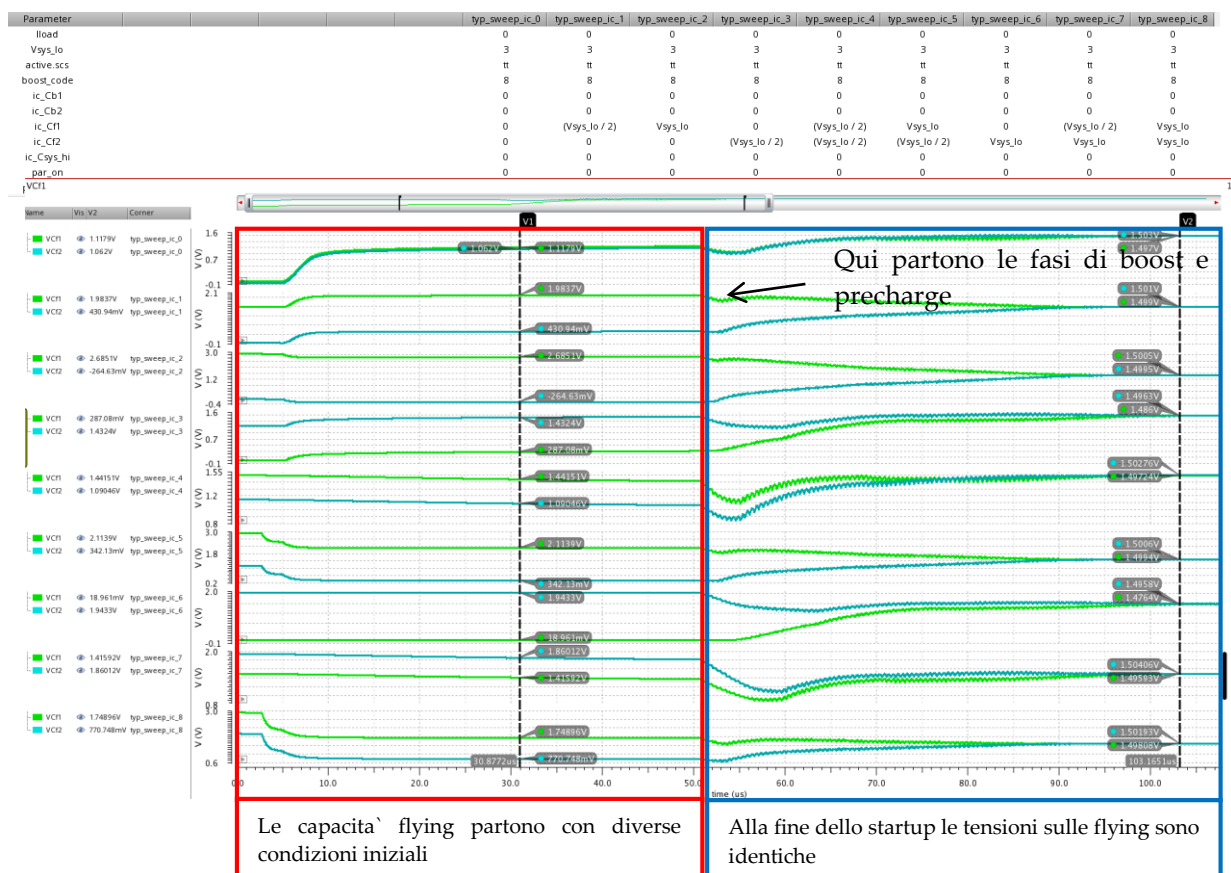


Figura 4.8: Startup: sweep condizioni iniziali delle flying.

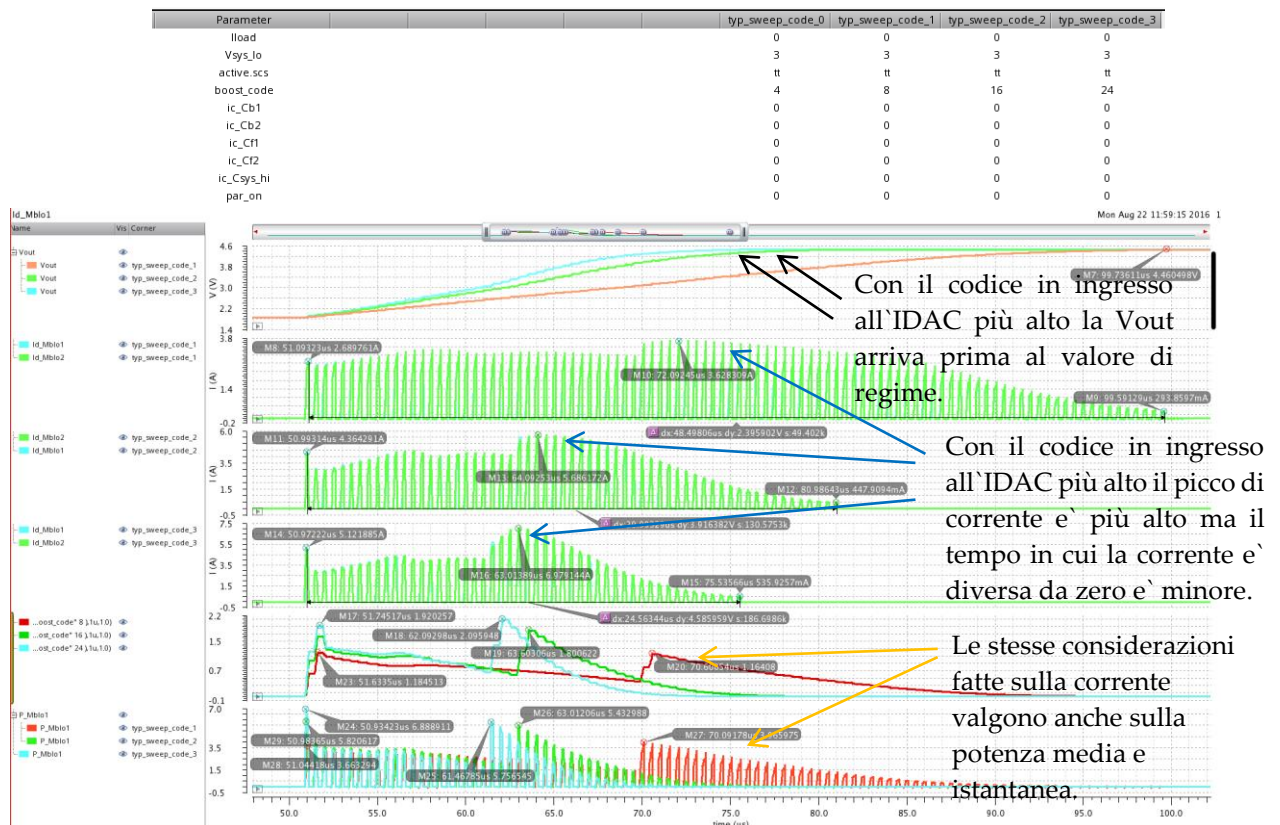


Figura 4.9: Startup: sweep del codice digitale in ingresso all'IDAC.

4.4 Load transient in boost mode

In queste simulazioni è stato verificato il corretto funzionamento della charge pump quando lavora in boost mode. In questa modalità la charge pump alterna la fase di precharge a quella di boost con frequenza di switching pari a 2 MHz, anche quando il carico è nullo. In particolare è stato verificato il corretto funzionamento della charge pump con carico nullo e con carico pari a 2 A.

Inoltre è stato verificato il comportamento della charge pump anche in fase di release del carico. In Fig. 4.10 e 4.12 è mostrato il plot della simulazione fatta con e senza parassiti.

I punti fondamentali che si vedono in Fig. 4.10 e 4.11 sono i seguenti:

- Quando il carico viene rilasciato la V_{out} aumenta velocemente fino a $1.5 \cdot V_{in}$.
- La tensione sulle capacità flying è la stessa ed essendo nel limite FSL rimangono cariche.
- Il ripple sulla tensione di uscita dipende dalla capacità tank, più la capacità è grande più il ripple si riduce. Ovviamente l'ingombro su PCB è maggiore.
- La V_{out} decresce, in fase di precharge, linearmente perchè la capacità tank viene scaricata con corrente pari a I_{load} costante. Nella fase di boost non cresce linearmente come dovrebbe essere nel limite FSL, perchè siamo fuori dalle ipotesi del limite (vedi Cap.3).

In Fig. 4.12 e 4.13 si hanno gli stessi andamenti con dei ringing dovuti alle induttanze, capacità e resistenze parassite.

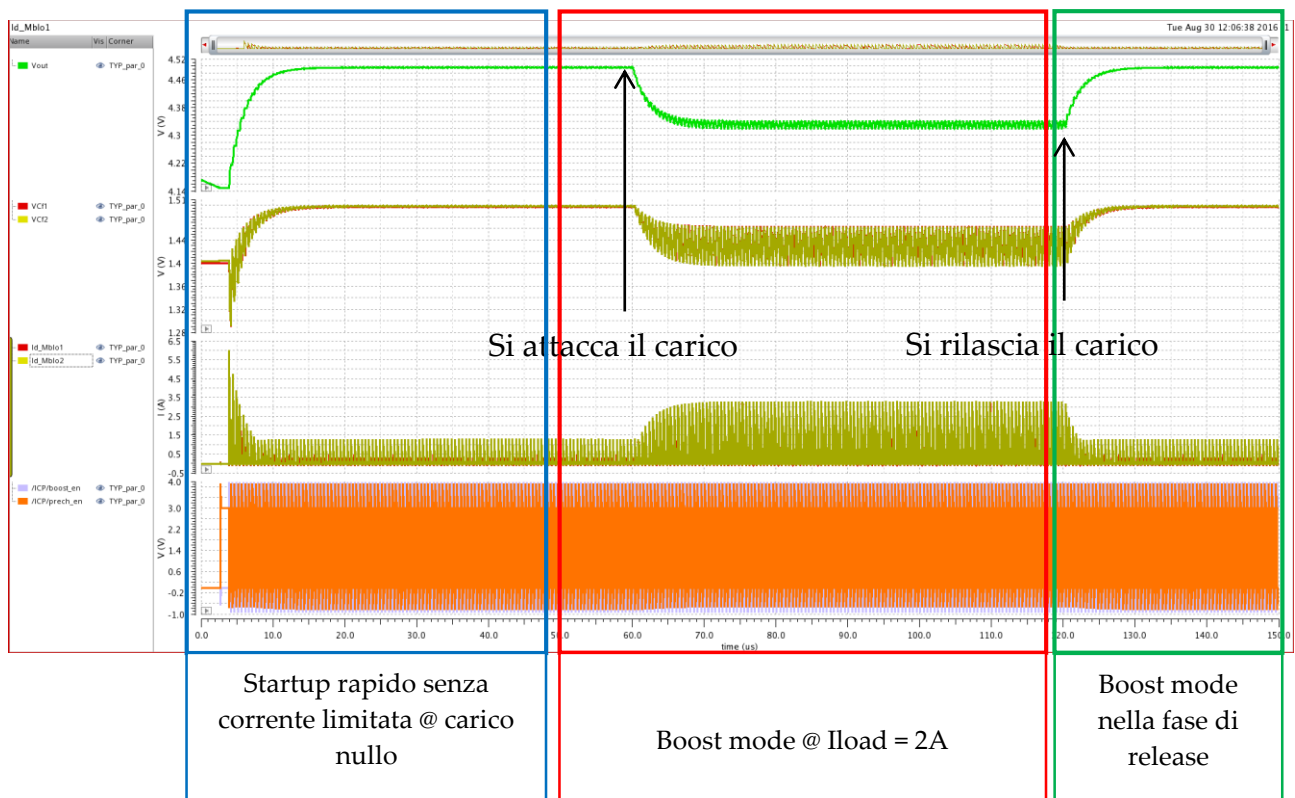


Figura 4.10: Load transient in boost mode: @ $I_{load}=2 A$, $V_{in} = 3 V$, senza parassiti.

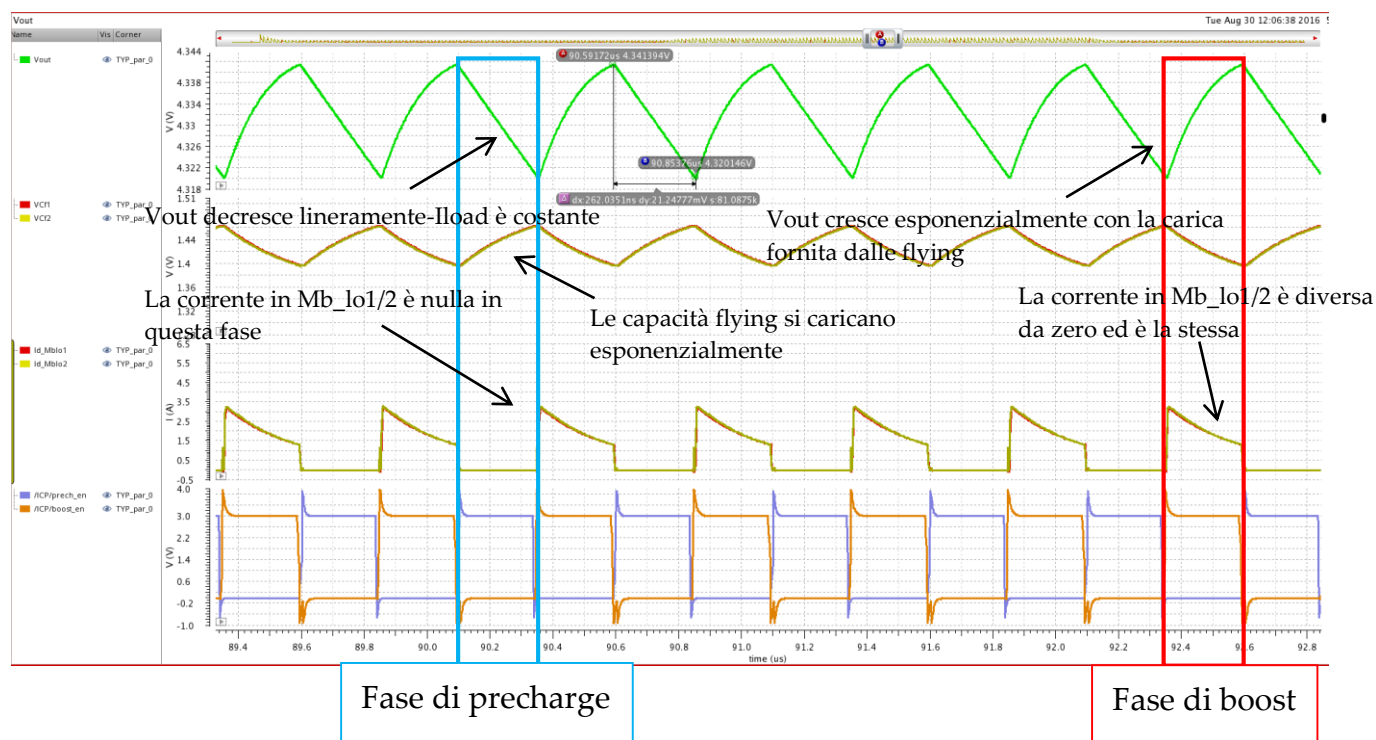


Figura 4.11: Load transient in boost mode senza parassiti in dettaglio.

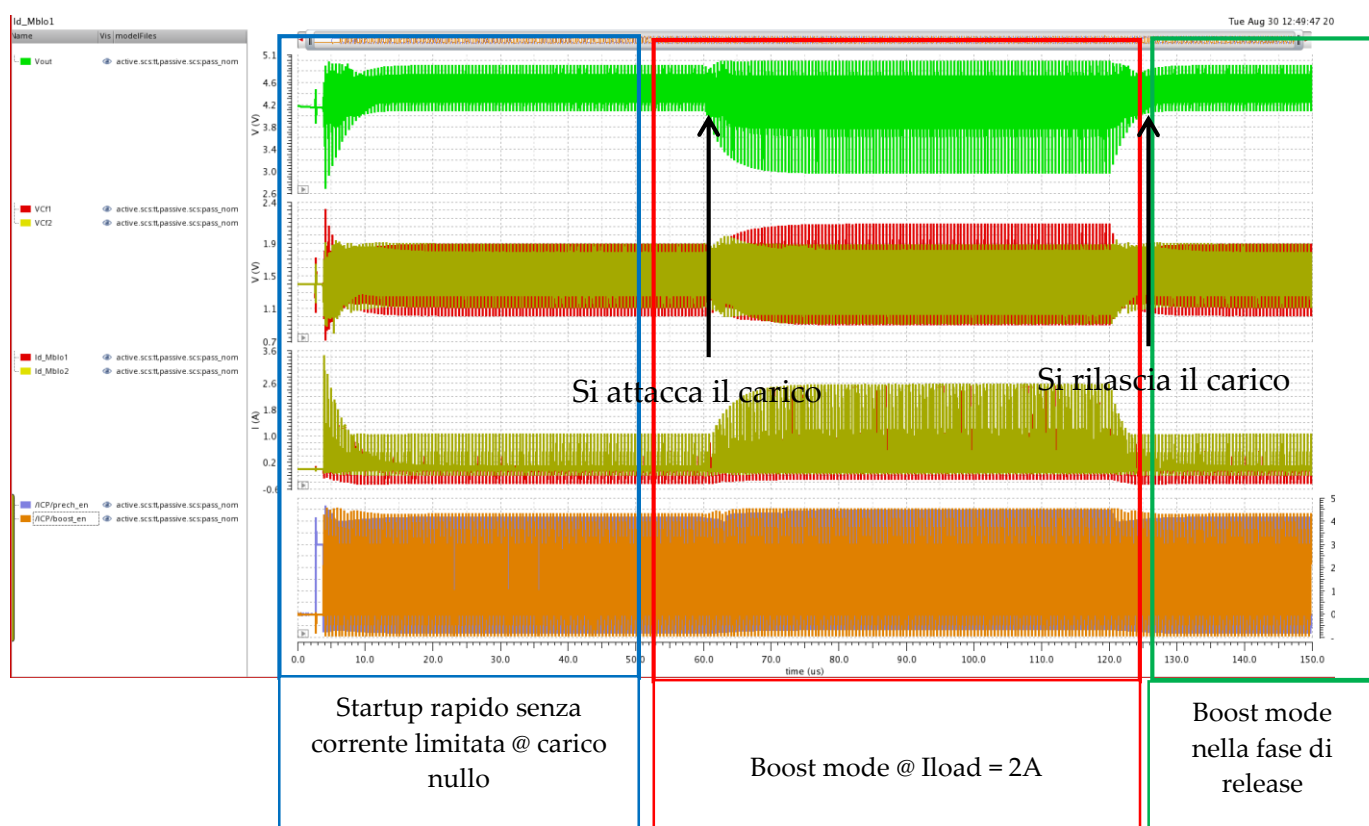


Figura 4.12: Load transient in boost mode: @ Iload=2 A, Vin = 3 V, con parassiti.

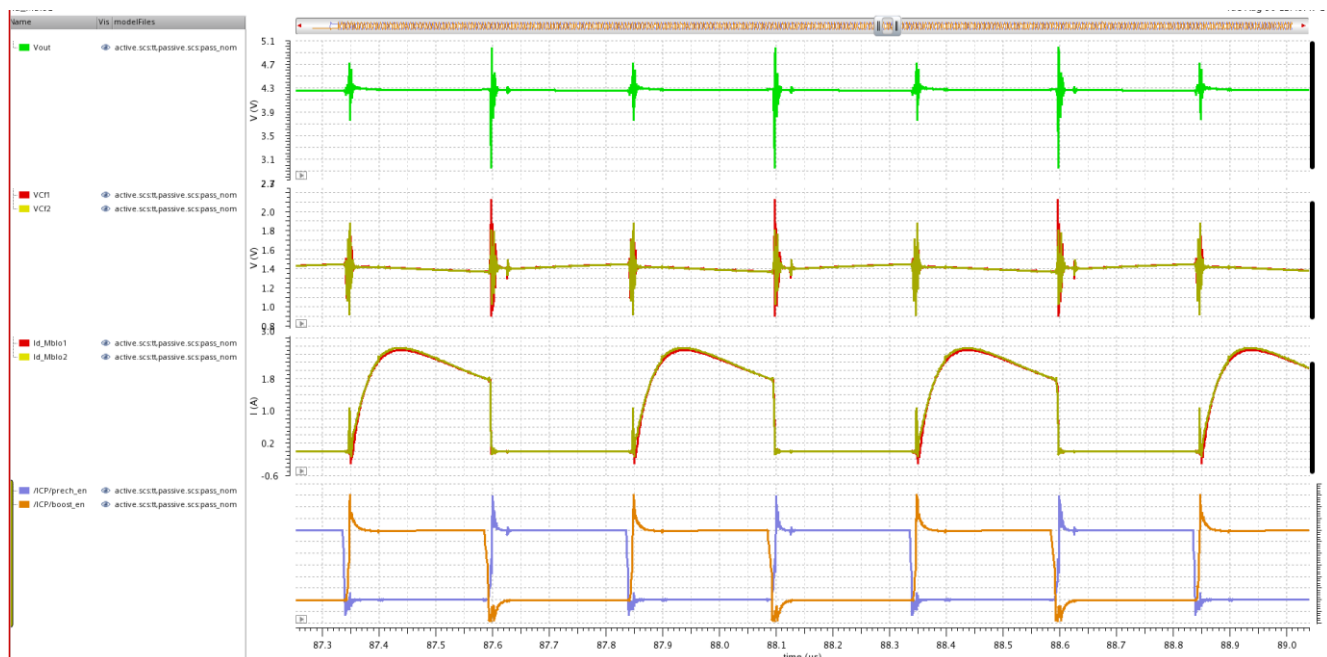


Figura 4.13: Load transient in boost mode con parassiti in dettaglio.

In Fig. 4.14 sono riportati i valori analitici della simulazione load transient in boost mode con e senza parassiti. Come si nota dalla figura sono stati evidenziati i risultati più significativi come riportato di seguito:

■ L'efficienza sotto carico, considerando anche le perdite switching è superiore al 94% ed è comparabile con quella di un convertitore boost con induttore, che lavora nelle medesime condizioni.

■ I valori delle R_{on} dei switch sono comparabili con quelle dimensionate:

	Ron dimensionate (mΩ)	Valore reale di Ron senza parassiti (mΩ)	Valore reale di Ron con parassiti (mΩ)
Mp_hi	15.18	17.74	17.85
Mp_mid	18.55	23.26	23.52
Mp_lo	15.18	17.62	17.71
Mb_lo1	15.18	17.71	17.82
Mb_lo2	15.18	17.71	17.86
Mb_hi1	18.55	23.07	23.19
Mb_hi2	18.55	22.94	23.11

- La R_{out} senza parassiti ha un valore vicino a quello progettato di 60 mΩ.
- Il ripple sulla tensione di uscita è circa pari a 20 mV e dipende dalla frequenza di switching e dal valore della capacità tank.

	Parameter				TYP_par_0	TYP_par_1
	Iload				2	2
	R3D_en				1	1
	Vsys_lo				3	3
	active.scs				tt	tt
	par_on				0	1
	passive.scs				pass_nom	pass_nom
	temperature				25	25
load_tran_2Mhz	Ron_Mphi			17.79m	17.92m	17.79m
load_tran_2Mhz	Ron_Mpmid			23.27m	23.63m	23.27m
load_tran_2Mhz	Ron_Mplo			17.65m	17.73m	17.65m
load_tran_2Mhz	Ron_Mblo1			17.76m	17.91m	17.76m
load_tran_2Mhz	Ron_Mblo2			17.76m	17.91m	17.76m
load_tran_2Mhz	Ron_Mbhi1			23.26m	23.62m	23.26m
load_tran_2Mhz	Ron_Mbhi2			23.24m	23.52m	23.24m
load_tran_2Mhz	efficiency_I...			94.71	95.84	95.84
load_tran_2Mhz	static_load			166.6m	222.1m	166.6m
load_tran_2Mhz	Rp			58.71m	59.29m	58.71m
load_tran_2Mhz	Rb			20.5m	20.74m	20.5m
load_tran_2Mhz	Rout_FSL			70.36m	71.12m	70.36m
load_tran_2Mhz	lin_avg_no_I...			14.45m	14.49m	14.45m
load_tran_2Mhz	lin_avg_load			3.011	3.014	3.011
load_tran_2Mhz	Vout_avg_n...			4.499	4.499	4.499
load_tran_2Mhz	Vout_avg_lo...			4.277	4.333	4.333
load_tran_2Mhz	VCb2_avg_...			4.436	4.437	4.436
load_tran_2Mhz	VCb2_avg_I...			4.122	4.202	4.202
load_tran_2Mhz	VCb1_avg_n...			4.458	4.458	4.458
load_tran_2Mhz	VCb1_avg_I...			4.194	4.257	4.257
load_tran_2Mhz	Id_Mplo_avg			1.007	1.01	1.01
load_tran_2Mhz	Id_Mblo1_avg			1	1.002	1
load_tran_2Mhz	ripple_Vout...			20.94m	2.4	2.4
load_tran_2Mhz	Rout			83.3m	111m	83.3m

Figura 4.14: Load transient in boost mode: risultati analitici.

Sempre in questa simulazione è stato verificato il funzionamento degli NMOS della charge pump all'interno della SOA (Safe Operating Area). La Fig. 4.15 fa riferimento alla simulazione in boost mode con la V_{in} massima di 3.4 V e i parassiti. È infatti in queste condizioni che gli NMOS della charge pump possono uscire dalla SOA, avendo alta V_{ds} e alta V_{gs} . In Fig. 4.15 sono mostrate le curve V_{gs} in funzione di V_{ds} di tutti i MOS della charge pump. Come si vede dal grafico tutte le curve stanno all'interno della SOA.

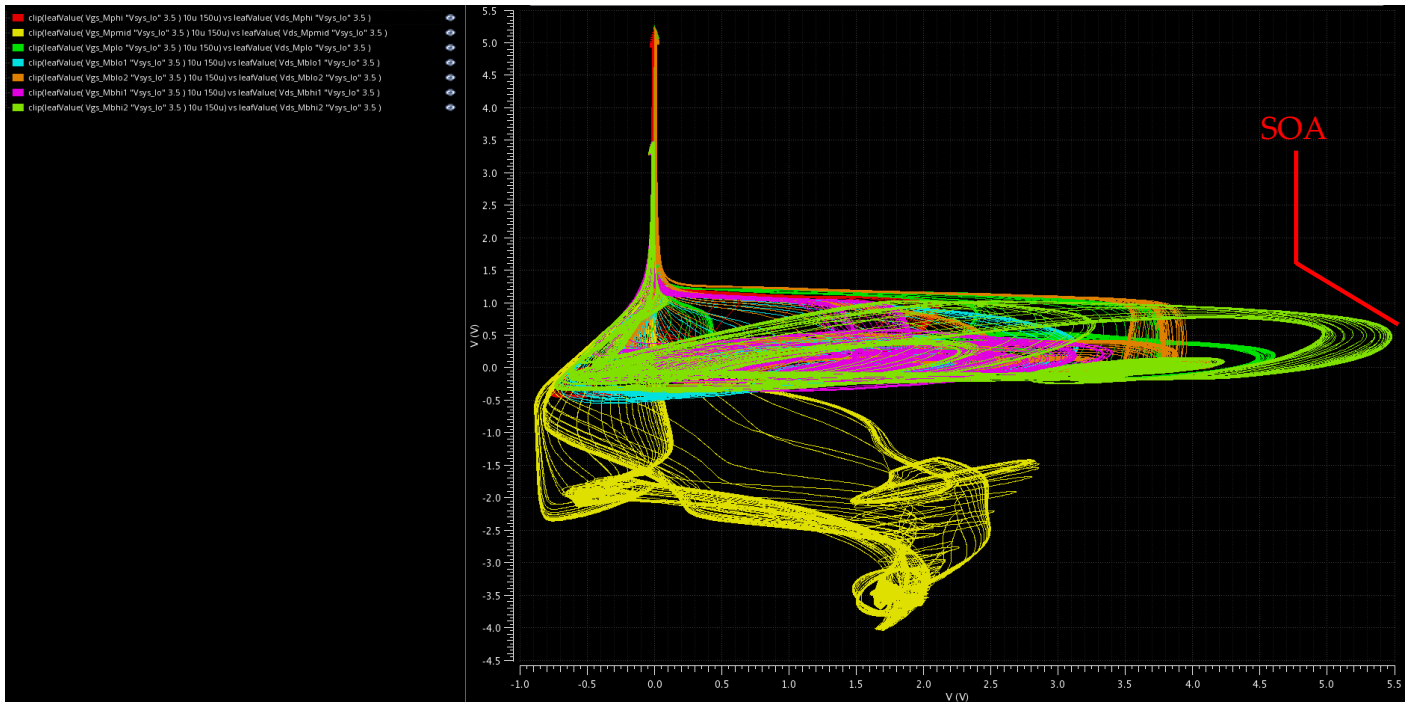


Figura 4.15: Verifica delle SOA in boost mode con parassiti. V_{gs} vs V_{ds} dei vari mos.

4.5 Line transient

Lo scopo di questa simulazione è vedere il comportamento della tensione di uscita della charge pump quando la tensione d'ingresso cala da un valore di regime ad un altro. In Fig. 4.16 è possibile osservare il comportamento della V_{out} quando V_{in} passa da 3 V a 2.5 V, con la charge pump che lavora in boost mode con un carico di 2 A. Quando il carico viene rilasciato la V_{out} torna al valore di regime $1.5 \cdot V_{in}$.

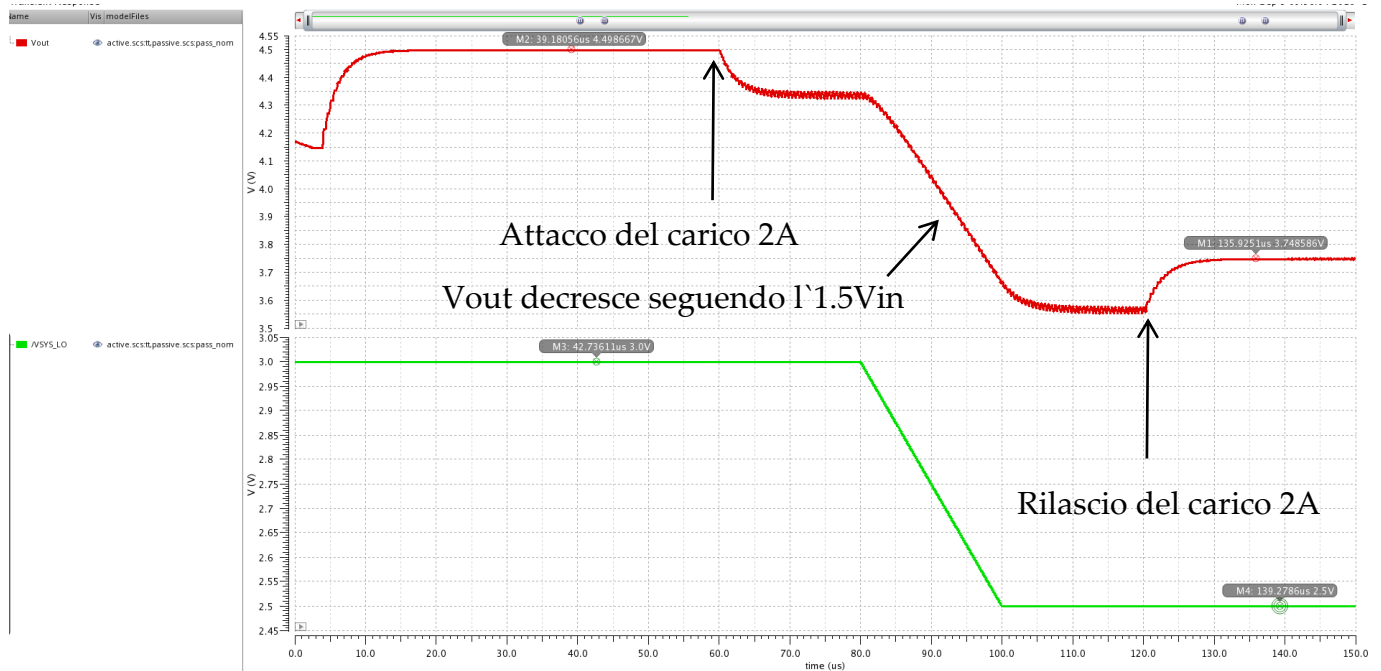


Figura 4.16 Line transient sotto carico 2 A.

4.6 Load transient in pulse skip mode

Lo scopo di questa simulazione è verificare il corretto funzionamento del comparatore con isteresi nella fase di pulse skip a bassi carichi e verificare il corretto andamento della tensione di uscita della charge pump. È importante tenere presente i contributi della potenza totale dissipata nella charge pump. L'Eqn. 4.1 mette in evidenza proprio questi contributi.

$$P = P_{quiesc} + P_{sw_loss} + P_{ohm} \quad (4.1)$$

Dove P_{quiesc} è la potenza statica dissipata dai traslatori di livello, comparatori e driver, P_{sw_loss} è la potenza switching usata per caricare e scaricare le capacità di gate dei MOS (vedi Cap.2), P_{ohm} è la potenza dissipata sulle R_{on} dei MOS quando la charge pump lavora in boost mode.

Quando siamo in pulse skip e la charge pump è “parcheggiata” in fase di precharge, il clock è fermo, l'unico contributo della potenza che conta è quello relativo alla potenza statica (P_{quiesc}). In Fig. 4.17 e 4.18 sono mostrati i risultati relativi alla simulazione con

$I_{load}=100\text{mA}$ e $V_{in}=3\text{ V}$. I risultati ottenuti mostrano che la V_{out} decresce linearmente quando la charge pump è ferma, perché la capacità tank che in fase di precharge sostiene il carico, e si scarica con corrente costante. Quando la V_{out} arriva alla soglia del comparatore, il clock riparte e si alterna un numero di fasi di precharge e boost per riportare la V_{out} al valore di regime. Quando si esce dal pulse skip mode per ritornare in boost mode il picco di corrente sui MOS della charge pump è relativamente basso (1.7 A), e quindi si può uscire dal pulse skip mode anche senza la limitazione di corrente.

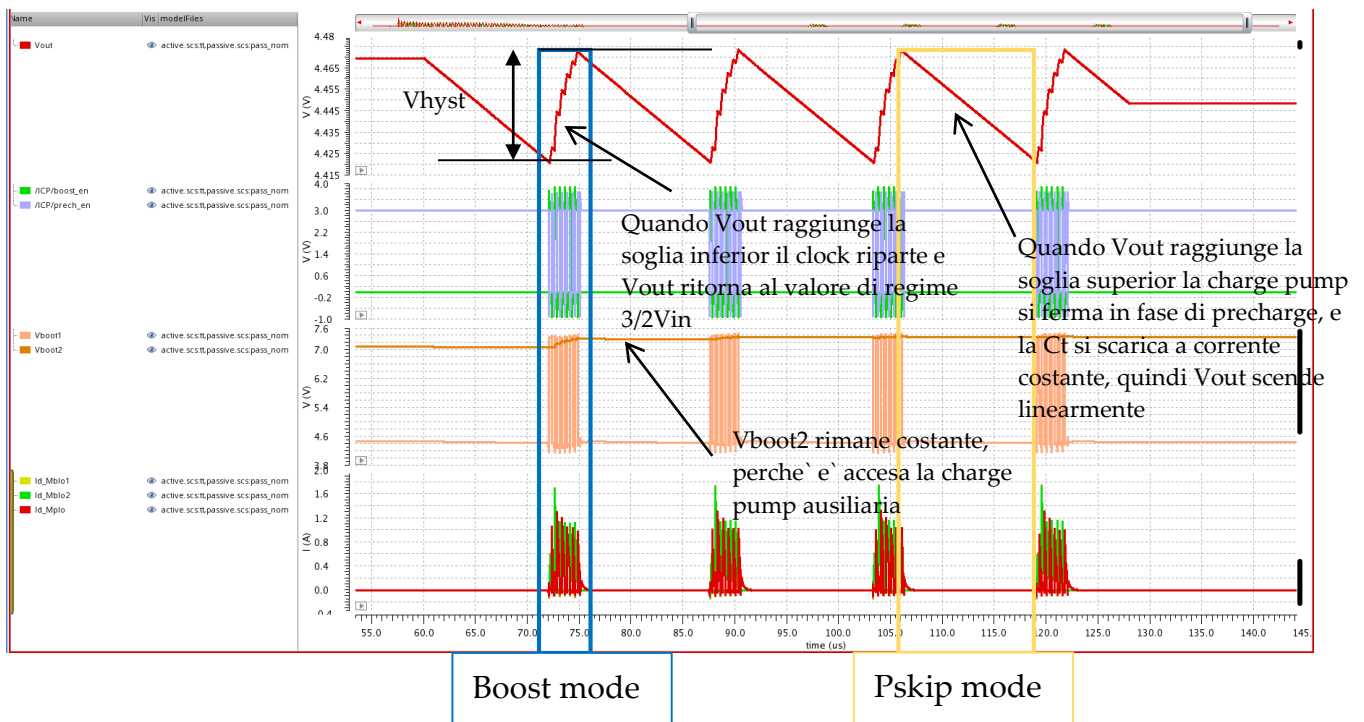


Figura 4.17: Load transient in pulse skip mode: @ $V_{in}=3\text{ V}$ and 100 mA .

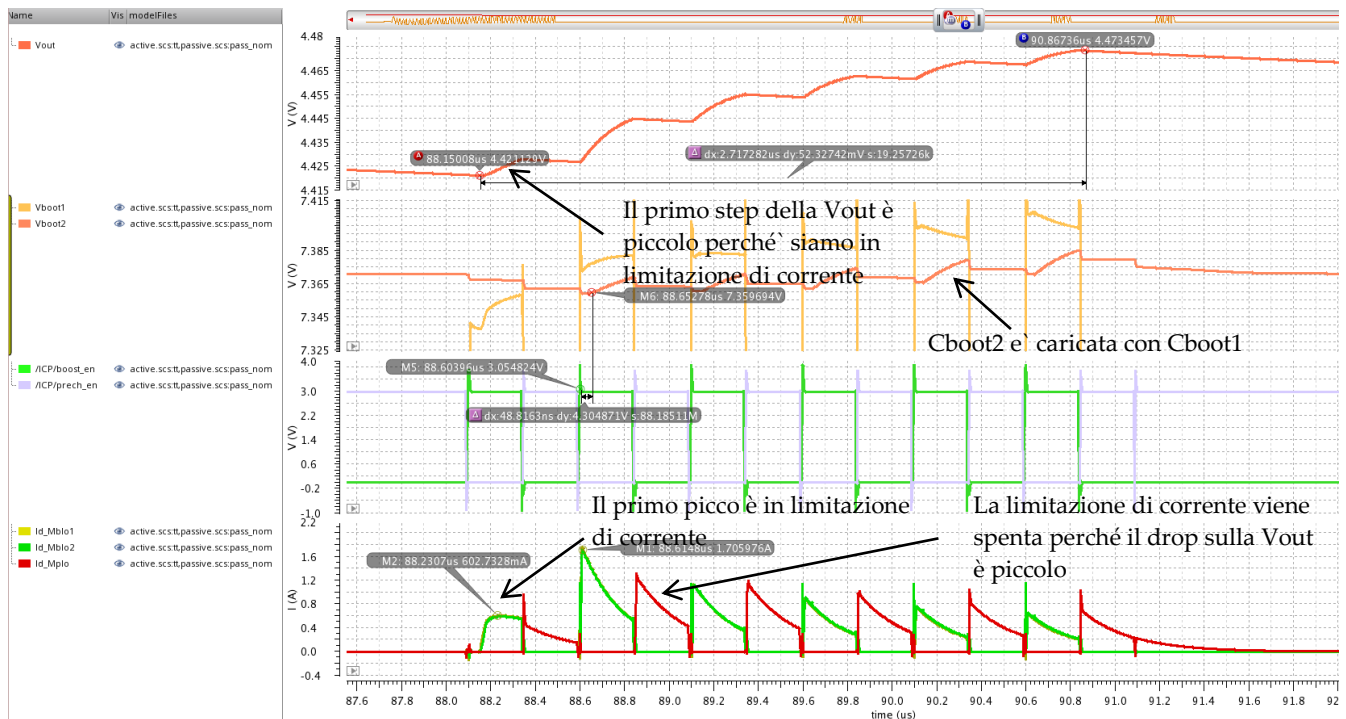


Figura 4.18: Load transient in pulse skip mode: in dettaglio.

4.7 Efficienza in funzione della corrente di carico

Le simulazioni load transient con il sweep di V_{in} e quelle in pulse skip per bassi carichi facendo lo sweep delle correnti di carico, hanno permesso di ricavare l'efficienza della charge pump in funzione della corrente di carico, per vari valori della tensione d'ingresso (e quindi di quella di uscita). Questa analisi ci permetterà nel capitolo successivo di poter confrontare i boost converter commerciali con l'induttore con la charge pump progettata. L'efficienza riportata nei grafici è comprensiva anche delle perdite di switching. Infatti i driver che pilotano i MOS della charge pump e che caricano e scaricano le capacità di gate hanno i rail di alimentazione forniti da V_{in} , quindi calcolando l'efficienza come P_{out}/P_{in} si tiene già conto anche di queste perdite.

In Fig. 4.19 è mostrata l'efficienza in funzione della corrente di carico, e si possono individuare tre zone di funzionamento:

- $I_{load} < 10 \text{ mA}$
- $10 \text{ mA} < I_{load} < 500 \text{ mA}$
- $500 \text{ mA} < I_{load} < 2 \text{ A}$

Nella prima zona dove la charge pump lavora con bassi carichi, quindi è in pulse skip mode la dissipazione di potenza è dovuta essenzialmente a quella statica dei driver, traslatori di livello, comparatori e charge pump ausiliaria. L'efficienza è molto bassa perché la potenza fornita dalla charge pump all'uscita è bassa e la restante parte viene dissipata internamente, abbassando l'efficienza. La corrente statica è praticamente costante e quindi la potenza statica dipende solo da V_{in} . Più V_{in} è alta più la potenza statica è grande e più l'efficienza della charge pump diminuisce.

Nella seconda zona si nota che il boost mode ha una efficienza più bassa dell'efficienza in pulse skip mode. È quindi conveniente, per questi carichi, rimanere in pulse skip mode. In particolare il carico ottimo in cui conviene passare dal pulse skip mode al boost mode è dato dall'intersezione delle due curve. Unendo le due curve quella del pskip mode e quella del boost mode si prende il meglio delle due modalità in termini di efficienza (vedi Fig. 4.20).

Nella terza zona è conveniente rimanere in boost mode anche se l'efficienza scende per alti carichi. La ragione di questo è la seguente:

$$P_d = R_{out} \cdot I_{load}^2 = R_{out} \cdot I_{load} \cdot I_{load} \quad (4.2)$$

$$P_{dps} = \Delta V_{ps} \cdot I_{load} \quad (4.3)$$

dove $\Delta V_{ps} = R_{out_est} \cdot I_{thr}$.

Comparando le Eqn. 4.2 e 4.3 e semplificando I_{load} , la P_{dps} non dipende dal carico. Per avere la condizione di pulse skip mode $\Delta V_{ps} > R_{out} \cdot I_{load}$ e quindi se I_{load} è alta ΔV_{ps} deve essere ancora più alta e la $P_{dps} > P_d$. È quindi conveniente rimanere in boost mode.

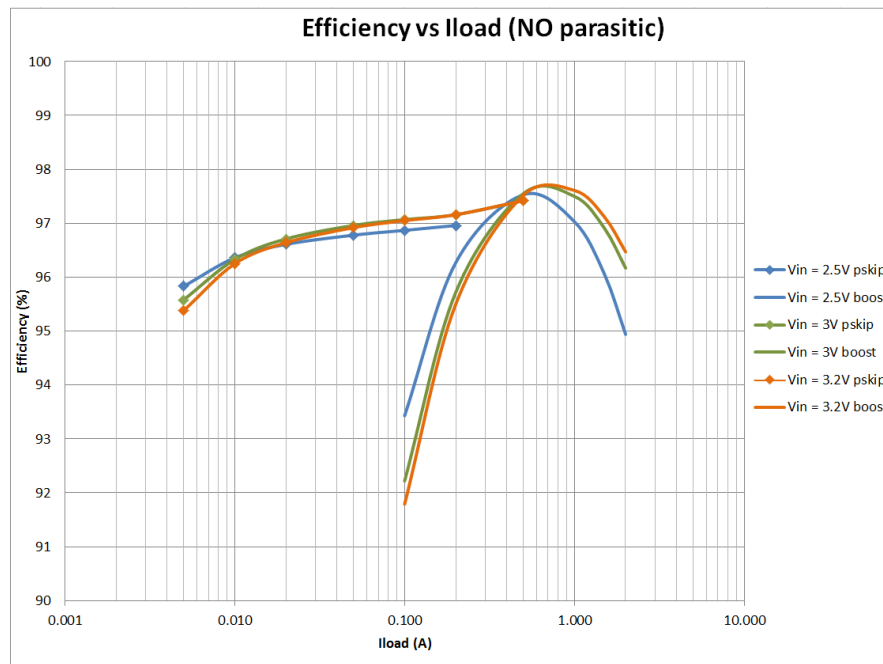


Figura 4.19: Efficienza vs Iload.

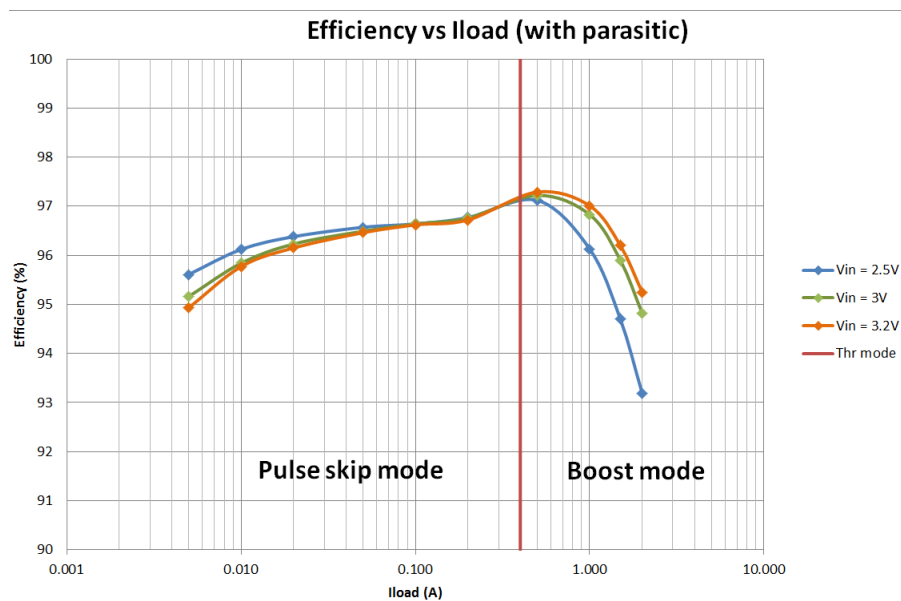


Figura 4.20: Efficienza vs Iload, unione delle curve.

Le curve di efficienza per il pulse skip mode e per il boost mode hanno un comportamento diverso al variare di I_{load} e di V_{in} . Utilizzando l'Eqn. 4.4 e tenendo conto che P_d (potenza dissipata internamente alla charge pump) varia a seconda della zona dove la charge pump

va a lavorare, si ricava la Tabella 4.1, che spiega in maniera dettagliata la curva di efficienza di Fig. 4.19.

$$eff. = \frac{P_{out}}{P_{in}} = \frac{P_{out}}{P_{out} + P_d} \quad (4.4)$$

	Iload < 10 mA pulse skip mode		10mA<Iload< 100mA pulse skip mode		10mA < Iload < 500mA boost mode		500mA< Iload < 2A boost mode	
Pout	$\frac{3}{2} \cdot V_{in} \cdot I_{load}$		$\frac{3}{2} \cdot V_{in} \cdot I_{load}$		$\frac{3}{2} \cdot V_{in} \cdot I_{load}$		$\frac{3}{2} \cdot V_{in} \cdot I_{load}$	
Pd	$\propto V_{in} \cdot I_q (\propto V_{in})$		$\Delta V_{ps} \cdot I_{load}$		$\propto V_{in}^2$		$R_{out} (\propto \frac{1}{V_{in}}) \cdot I_{load}^2$	
Contributo alla potenza dissipata	Potenza statica		Potenza ohmica		Perdite switching		Potenza ohmica	
A parità di	Vin	Iload	Vin	Iload	Vin	Iload	Vin	Iload
Variando	Iload	Vin	Iload	Vin	Iload	Vin	Iload	Vin
Tipo di variazione								
Efficienza (vedi Eq. 4.4)								

- Diminuisce
- Aumenta
- Costante

Tabella 4.1: Efficienza vs Iload e Vin: spiegazione delle curve.

La tabella mostra come le curve di efficienza dipendono da Vin e dal carico, eguale componente della potenza dissipata nella charge pump prevale nelle varie regioni di funzionamento. Comparando Pout e Pd e usando l'Eqn. 4.4 è stato possibile spiegare dettagliatamente l'andamento delle curve di efficienza.

Capitolo 5

5.1 Charge pump progettata Vs. convertitore boost commerciale con induttore

In questo capitolo verrà messa a confronto la charge pump progettata, con un convertitore boost commerciale con induttore, in termini di efficienza in funzione del carico, area occupata dai componenti esterni su PCB e potenza statica dissipata.

Per effettuare questa comparazione si useranno i risultati di simulazione ottenuti nel capitolo precedente, cercando di rendere il confronto il più fair possibile.

5.2 Comparazione in termini di efficienza in funzione del carico

In Fig. 5.1 sono riportate le curve di efficienza di uno dei boost commerciali elencati nel primo capitolo, a confronto con le curve di efficienza ricavate dalle simulazioni della charge pump. Si notano alcuni risultati notevoli riportati di seguito:

- L'andamento delle curve di efficienza della charge pump e del boost commerciale è comparabile. Per bassi carichi l'efficienza è bassa, poi esiste un punto di massimo dell'efficienza e per alti carichi l'efficienza tende ad abbassarsi nuovamente.
- La charge pump a $V_{in} = 2.5\text{ V}$ e $V_{out} = 3.75\text{ V}$, ha una curva di efficienza migliore di quella a $V_{in} = 2.4\text{ V}$ e $V_{out} = 4\text{ V}$ del boost commerciale (vedi Fig. 5.1).

- La charge pump a $V_{in} = 3\text{ V}$ e $V_{out} = 4.5\text{ V}$ ha una curva di efficienza comparabile con quella del boost commerciale a $V_{in} = 3.3\text{ V}$ e $V_{out} = 4.5\text{ V}$.
- La charge pump a $V_{in} = 3.2\text{ V}$ e $V_{out} = 4.8\text{ V}$ ha una curva di efficienza comparabile con quella del boost commerciale a $V_{in} = 3.3\text{ V}$ e $V_{out} = 5.1\text{ V}$.

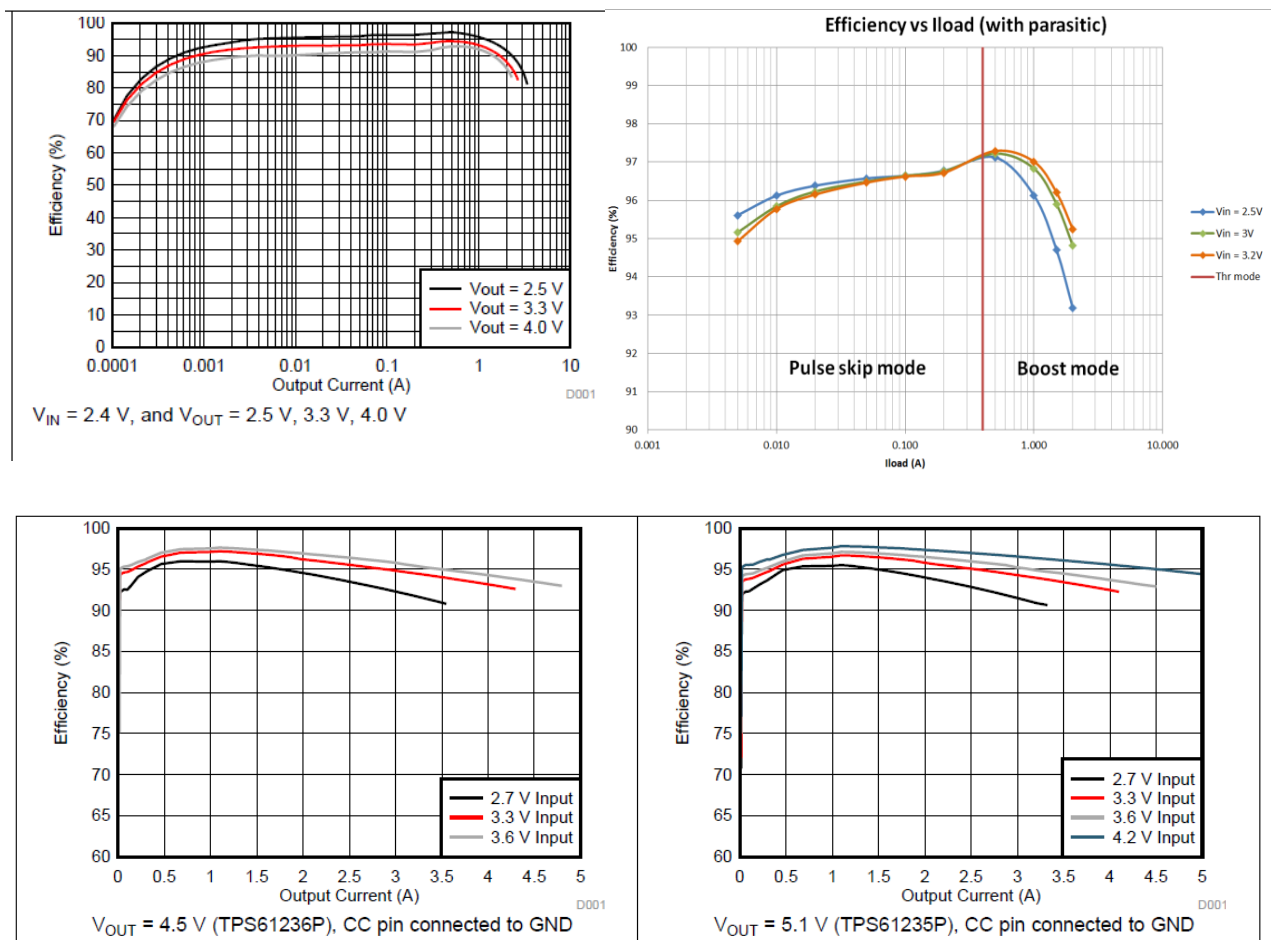


Figura 5.1: Confronto tra la charge pump e il boost commerciale TPS61021A in termini di efficienza.

Come mostrato in Fig. 5.2, andando a interpolare la curva di efficienza migliore del boost commerciale e sovrapponendola a quelle della charge pump, si nota che le efficienze sono comparabili e in particolari a parità di carico la curva di efficienza della charge pump @ 2.5V è migliore di quella del boost.

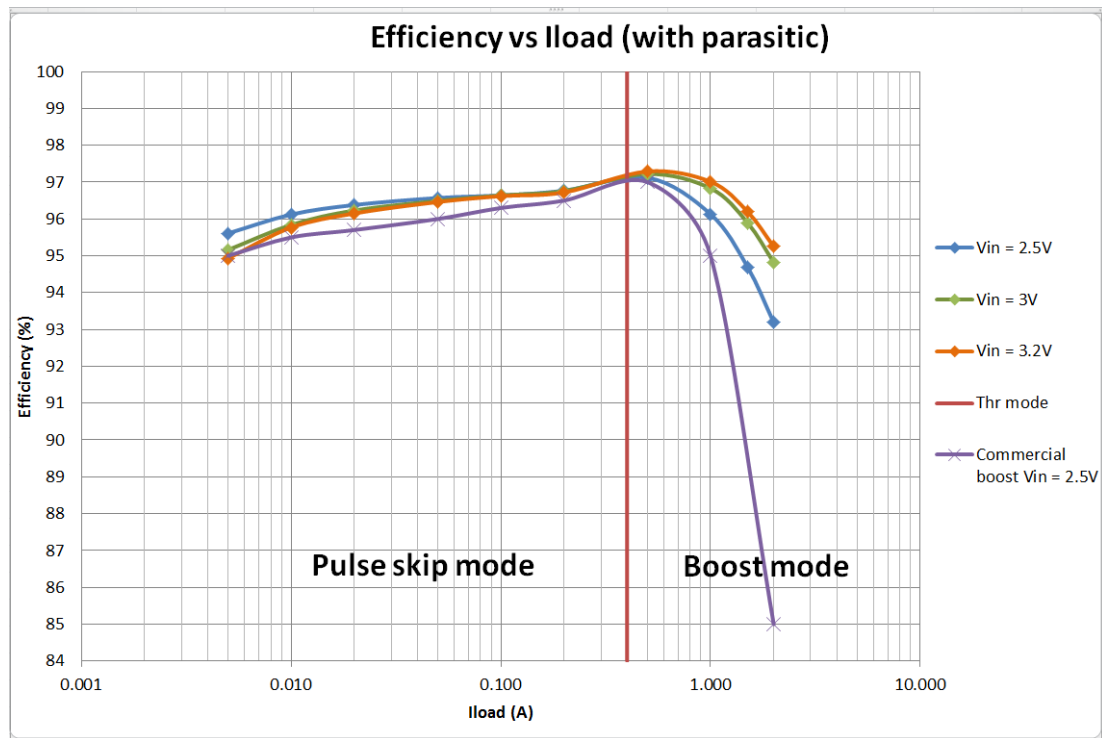


Figura 5.2: Confronto curve di efficienza.

5.3 Comparazione in termini di area su PCB e consumo

In Fig. 5.3 è stato evidenziato il confronto tra i componenti esterni usati dalla charge pump e quelli di un boost commerciale, a parità di dimensioni del chip. Come si vede l'area occupata dai componenti esterni della charge pump è minore di quella occupata dai componenti esterni di un boost, dove l'area occupata del solo induttore è comparabile con quella occupata dal chip.

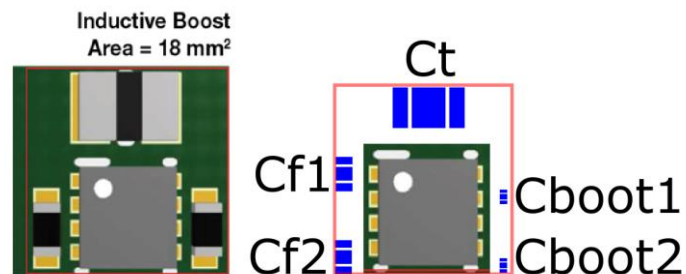


Figura 5.3: Comparazione in termini di area tra la charge pump e un boost commerciale a parità di area occupata dal chip.

Facendo una stima di area ricavata dalla figura in scala del boost commerciale si può notare come l'induttore occupi un'area pari a circa 2 mm x 3 mm, mentre le capacità 1mm x 0.5mm.

Utilizzando questi valori di area stimati e quelli ricavati dalla BOM del capitolo 3, si ricava la Fig. 5.4, in cui sono mostrate le aree occupate dai componenti esterni sia del boost che della charge pump (le aree sono in scala). Come si nota l'area totale dei componenti esterni alla charge pump è minore dell'area occupata dal solo induttore.

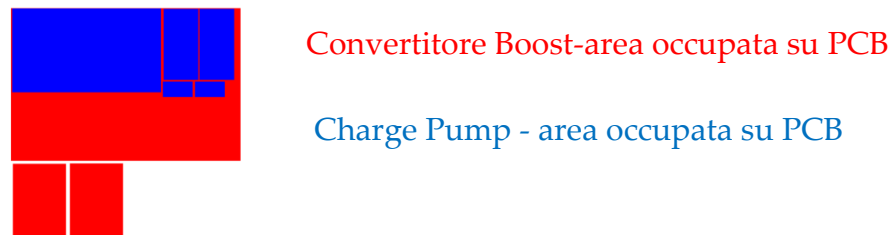


Figura 5.4: Comparazione in scala dei componenti off chip.

Per quanto riguarda la potenza statica dissipata, la charge pump nella modalità pulse skip per bassi carichi, dove conta solo questo contributo di potenza, ha una corrente di quiescent pari a $27 \mu\text{A}$, leggermente superiore a quella di un boost commerciale anche se ancora possibile da ottimizzare. In ogni caso come valore è comparabile.

Capitolo 6

6.1 Floor plan e layout

In questo capitolo viene descritto il floor plan utilizzato e la sua realizzazione tramite il layout. Il requisito richiesto per il floor plan era quello di riuscire a rendere la struttura della charge pump la più compatta possibile dandole una forma regolare, preferibilmente quadrata. I blocchi più sensibili erano ovviamente quelli che richiedevano un buon matching, primo fra tutti l'IDAC. A tale scopo sono stati inseriti un gran numero di MOS dummy.

Nelle Fig. 6.1, 6.2 e 6.3 sono riportati rispettivamente il floor plan, il layout con evidenziati i vari blocchi e il layout complessivo.

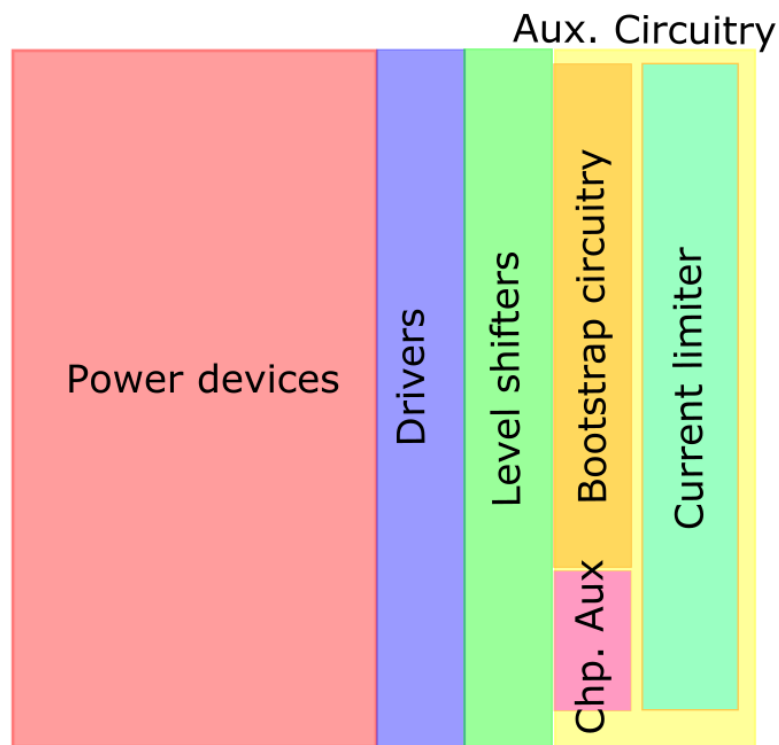
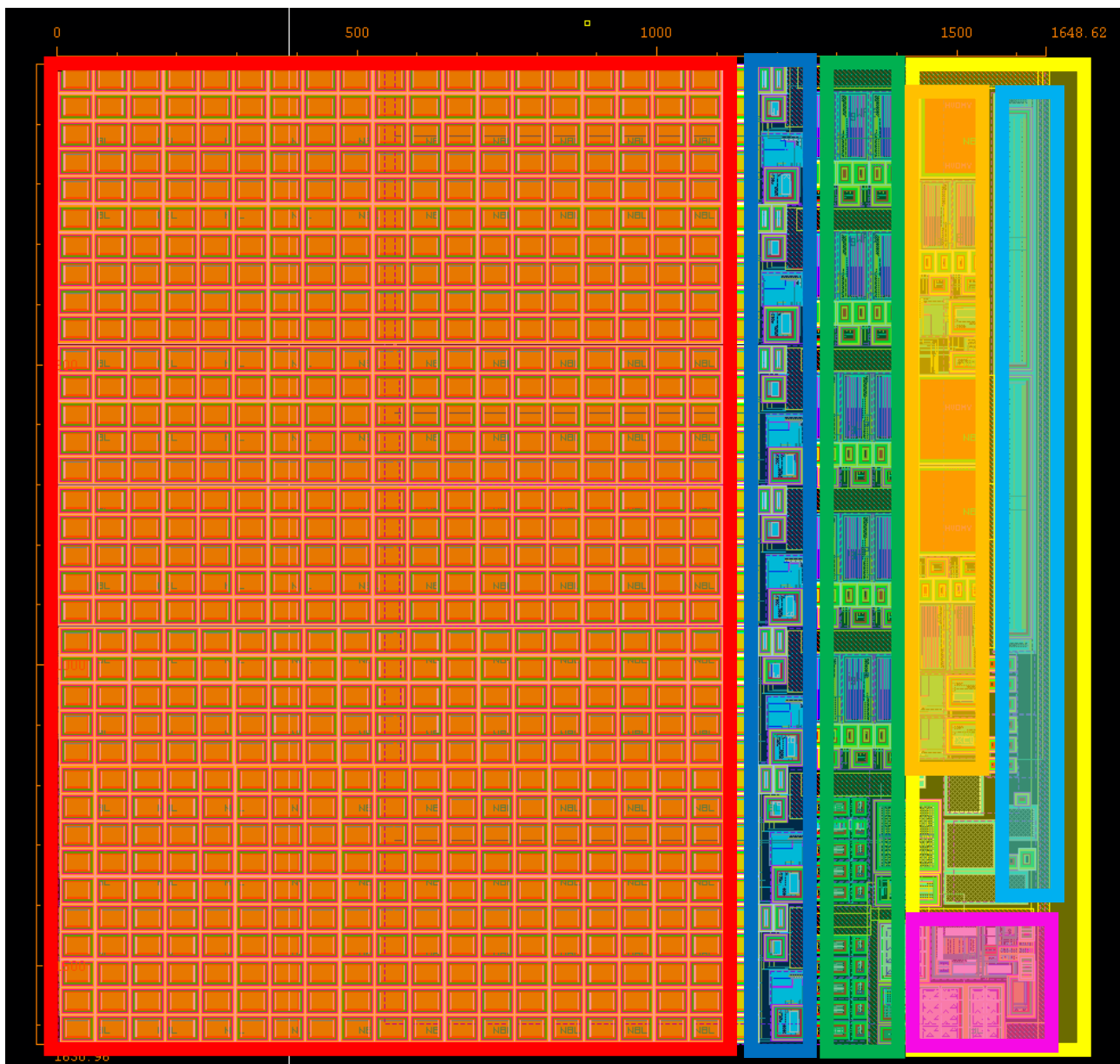


Figura 6.1: Floor plan.



- Power devices
- Drivers
- Level shifter
- Auxiliary circuitry
- Bootstrap circuitry
- Current limiter
- Auxiliary charge pump

Figura 6.2: Layout i blocchi evidenziati.

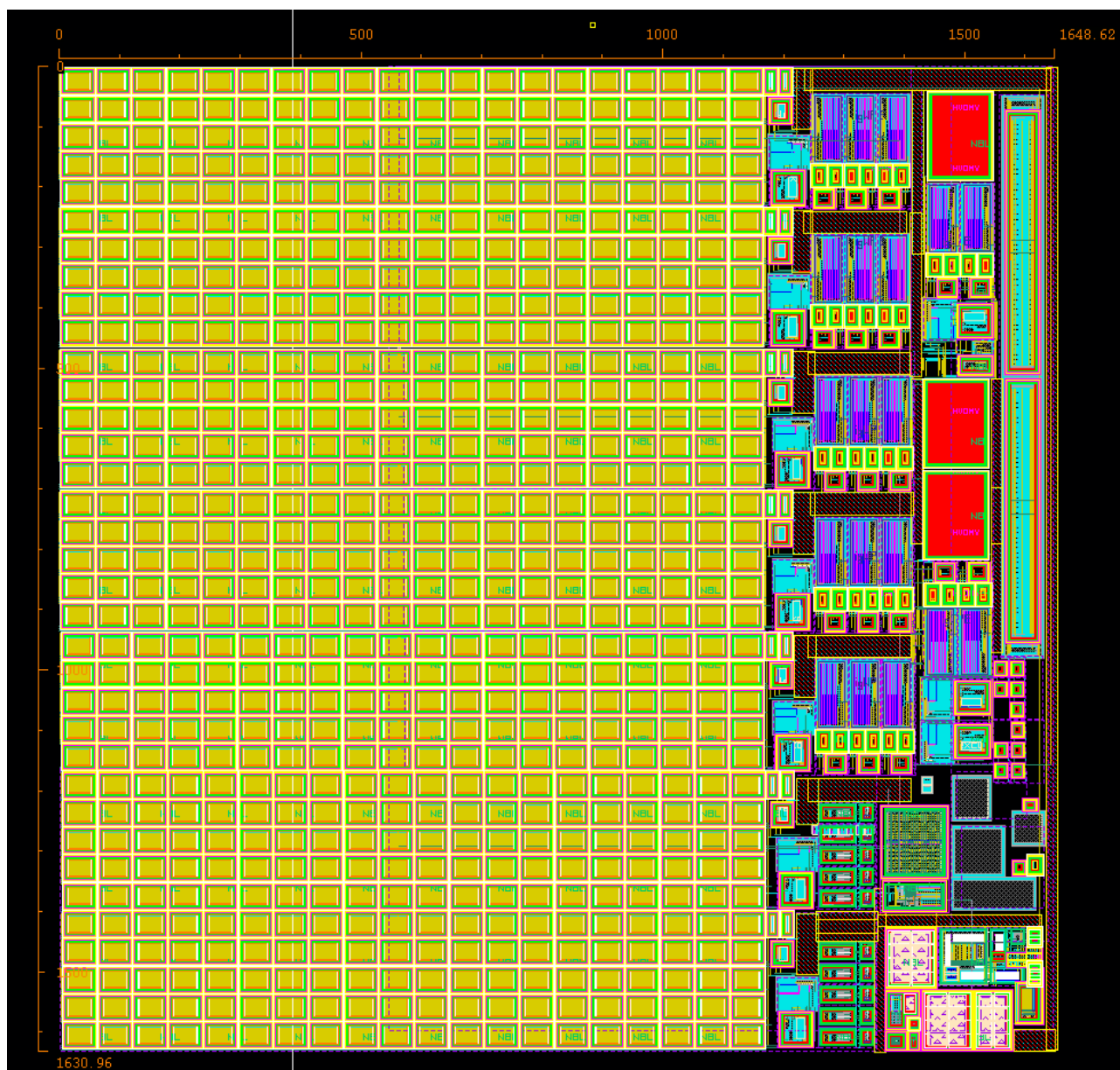


Figura 6.3: Layout complessivo.

Come si nota dalla Fig.6.3 la struttura è molto regolare e soprattutto quadrata, l'area occupata è pari a 1,630 mm x 1,648 mm.

Bibliografia

- [1] T.Van Breussegeem, M. Steyaert: *CMOS Integrated Capacitive DC-DC Converters, Analog Circuits and Signal Processing* ; Springer New York Heidelberg Dordrecht London 2013.
- [2] G.Lubarsky: *The forgotten converter*, Texas Instruments, Silicon Valley 2015.
- [3] Texas Instruments Datasheet: *TPS61021A 3-A Boost Converter with 0.5-V Ultra Low Input Voltage*, Texas Instruments 2016.
- [4] Texas Instruments Datasheet: *TPS6123x 8-A Valley Current Synchronous Boost Converters with Constant Current Output Feature*, Texas Instruments 2016.
- [5] Linear Technology Datasheet: *Low IQ Boost/SEPIC/Inverting Converter with 2A, 28V Switch*, Linear Technology 2016.
- [6] Linear Technology Datasheet: *2A, 3MHz Micropower Synchronous Boost Converter*, Linear Technology 2015.
- [7] Maxim integrated Datasheet: *12V or Adjustable, High-Efficiency, Low IQ, Step-Up DC-DC Controller*, Maxim Integrated 2016.
- [8] Texas Instruments Datasheet: *LM2759 1A Switched Capacitor Flash LED Driver with I2C Compatible Interface*, Texas Instruments 2016.
- [9] Linear Technology Datasheet: *1A Low Noise High Current LED Charge Pump with Independent Torch/Flash Current Control*, Linear Technology 2016.